



IEC 62680-4-1

Edition 1.0 2022-10

INTERNATIONAL STANDARD

NORME INTERNATIONALE

**Universal Serial Bus interfaces for data and power –
Part 4-1: Universal Serial Bus 4™ Specification**

**Interfaces de bus universel en série pour les données et l'alimentation
électrique –
Partie 4-1: Spécification du bus universel en série 4™**

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

ICS 29.200; 33.120.20; 35.200

ISBN 978-2-8322-6547-5

**Warning! Make sure that you obtained this publication from an authorized distributor.
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.**

INTERNATIONAL ELECTROTECHNICAL COMMISSION

UNIVERSAL SERIAL BUS INTERFACES FOR DATA AND POWER

Part 4-1: Universal Serial Bus 4™ Specification

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 62680-4-1 has been prepared by technical area 18: Multimedia home systems and applications for end-user networks, of IEC technical committee 100: Audio, video and multimedia systems and equipment.

The text of this standard was prepared by the USB Implementers Forum (USB-IF). The structure and editorial rules used in this publication reflect the practice of the organization which submitted it.

The text of this International Standard is based on the following documents:

Draft	Report on voting
100/3754/CDV	100/3813/RVC

Full information on the voting for the approval of this International Standard can be found in the report on voting indicated in the above table.

This document has been drafted in accordance with the ISO/IEC Directives, Part 2.

The committee has decided that the contents of this document will remain unchanged until the stability date indicated on the IEC website under "<http://webstore.iec.ch>" in the data related to the specific document. At this date, the document will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IMPORTANT – The "colour inside" logo on the cover page of this document indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.

INTRODUCTION

The IEC 62680 series is based on a series of specifications that were originally developed by the USB Implementers Forum (USB-IF). These specifications were submitted to the IEC under the auspices of a special agreement between the IEC and the USB-IF.

This standard is the USB-IF publication, USB4™ Specification, Version 1.0 with Errata and ECN through May 19, 2021.

The USB Implementers Forum, Inc.(USB-IF) is a non-profit corporation founded by the group of companies that developed the Universal Serial Bus specification. The USB-IF was formed to provide a support organization and forum for the advancement and adoption of Universal Serial Bus technology. The Forum facilitates the development of high-quality compatible USB peripherals (devices), and promotes the benefits of USB and the quality of products that have passed compliance testing.

ANY USB SPECIFICATIONS ARE PROVIDED TO YOU "AS IS, "WITH NO WARRANTIES WHATSOEVER, INCLUDING ANY WARRANTY OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE. THE USB IMPLEMENTERS FORUM AND THE AUTHORS OF ANY USB SPECIFICATIONS DISCLAIM ALL LIABILITY, INCLUDING LIABILITY FOR INFRINGEMENT OF ANY PROPRIETARY RIGHTS, RELATING TO USE OR IMPLEMENTATION OR INFORMATION IN THIS SPECIFICATION.

THE PROVISION OF ANY USB SPECIFICATIONS TO YOU DOES NOT PROVIDE YOU WITH ANY LICENSE, EXPRESS OR IMPLIED, BY ESTOPPEL OR OTHERWISE, TO ANY INTELLECTUAL PROPERTY RIGHTS.

Entering into USB Adopters Agreements may, however, allow a signing company to participate in a reciprocal, RAND-Z licensing arrangement for compliant products. For more information, please see:

<https://www.usb.org/documents>

IEC DOES NOT TAKE ANY POSITION AS TO WHETHER IT IS ADVISABLE FOR YOU TO ENTER INTO ANY USB ADOPTERS AGREEMENTS OR TO PARTICIPATE IN THE USB IMPLEMENTERS FORUM."

Universal Serial Bus 4 (USB4™) Specification

Apple Inc.

HP Inc.

Intel Corporation

Microsoft Corporation

Renesas Corporation

STMicroelectronics

Texas Instruments

Version 1.0 with Errata and ECN through May 19, 2021

May 2021

Release History

Version	Comments	Issue Date
1.0	First release	August 2019
1.0 with Errata and ECN through May 4, 2020	Includes errata and ECN through May 4, 2020 as part of the specification text.	June 2020
1.0 with Errata and ECN through October 15, 2020	Includes errata and ECN through October 15, 2020 as part of the specification text.	October 2020
1.0 with Errata and ECN through May 19, 2021	Includes errata and ECN through May 19, 2021 as part of the specification text.	May 2021

NOTE: Adopters may only use this USB specification to implement USB or third party functionality as expressly described in this Specification; all other uses are prohibited.

LIMITED COPYRIGHT LICENSE: The Promoters grant a conditional copyright license under the copyrights embodied in this USB Specification to use and reproduce the Specification for the sole purpose of, and solely to the extent necessary for, evaluating whether to implement the Specification in products that would comply with the specification. Without limiting the foregoing, use of the Specification for the purpose of filing or modifying any patent application to target the Specification or USB compliant products is not authorized. Except for this express copyright license, no other rights or licenses are granted, including without limitation any patent licenses. In order to obtain any additional intellectual property licenses or licensing commitments associated with the Specification a party must execute the USB Adopters Agreement. **NOTE:** By using the Specification, you accept these license terms on your own behalf and, in the case where you are doing this as an employee, on behalf of your employer.

INTELLECTUAL PROPERTY DISCLAIMER

THIS SPECIFICATION IS PROVIDED TO YOU “AS IS” WITH NO WARRANTIES WHATSOEVER INCLUDING ANY WARRANTY OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE. THE AUTHORS OF THIS SPECIFICATION DISCLAIM ALL LIABILITY FOR INFRINGEMENT OF ANY PROPRIETARY RIGHTS, RELATING TO THE USE OR IMPLEMENTATION OF INFORMATION IN THIS SPECIFICATION. THE PROVISION OF THIS SPECIFICATION TO YOU DOES NOT PROVIDE YOU WITH ANY LICENSE, EXPRESS OR IMPLIED, BY ESTOPPEL OR OTHERWISE, TO ANY INTELLECTUAL PROPERTY RIGHTS.

Please send comments to techsup@usb.org.

For industry information, refer to the USB Implementers Forum web page at <http://www.usb.org>.

USB Type-C®, USB-C®, USB 2.0 Type-C™, and USB4™ are trademarks of the Universal Serial Bus Implementers Forum (USB-IF). DisplayPort™ is a trademark of VESA. All product names are trademarks, registered trademarks, or service marks of their respective owners.

Thunderbolt™ is a trademark of Intel Corporation. You may only use the Thunderbolt™ trademark or logo in conjunction with products designed to this specification that complete proper certification and executing a Thunderbolt™ trademark license – see usb.org/compliance for further information

Copyright © 2021, USB Promoter Group (Apple Inc., HP Inc., Intel Corporation, Microsoft Corporation, Renesas Corporation, STMicroelectronics, and Texas Instruments).

Acknowledgement of Technical Contribution

The authors of this specification would like to recognize the following people who participated in the USB4 Specification technical work group.

Apple Inc. – Promoter Company Employees

Majd Abu Tayeh	Nimrod Agmon	Lior Aloni	Brian Baek
Omer Bar-Lev	Moshe Benyamini	Gopu Bhaskar	Carlos Calderon
David Conroy	Bill Cornelius	Scott Deandrea	William Ferry
Amit Flanter	Itay Franko	Radia Gantous	Alex Gerber
Mark Goikhman	Nir Guetta	Yair Hershkovitz	Scott Jackson
Husam Khashiboun	Alan Kobayashi	Alexei Kosut	Christine Krause
Dmitri Krichevsky	Alex Lozovik	Rachel Menes	Shlomi Mor
Shlomi Museri	Mona Omari	Tal Ostro	Arie Peled
Collin Pieper	Idan Reller	Reese Schreiber	Oleg Schtofenmaher
Etan Shirron	Ori Moshe Stern	Jose Tierno	Maxim Tsudik
Anatoly Uskach	Jeff Wilcox	Dan Wilson	Ohad Zalcman

HP Inc. – Promoter Company Employees

Roger Benson	Marcus Benzel	Alan Berkema	Kenneth Chan
Frank Chen	Phil Chen	Hosup Chung	Glen Dower
Mark Lessman	Nam Nguyen	Roger Pearson	Kenneth Smith
Chris Tabarez			

Intel Corporation – Promoter Company Employees

Nausheen Ansari	Noam Arzy	Alexandre Audier	Binata Bhattacharyya
Huimin Chen	Hengju Cheng	Salauddin Choudhury	John Crouter
Maxim Dan	Jhuda Dayan	Yoni Dishon	Eran Galil
Saranya Gopal	Venkataramani Gopalakrishnan	Raul Gutierrez	Michael Gouzenfeld
Mickey Gutman	Benjamin Hacker	Yaniv Hayat	Uri Hermoni
Alon Horn	Abdul Ismail	Abhilash K V	Ziv Kabiry
Vijaykumar Kadgi	Vijay Kasturi	Sergey Khaykin	Lev Kolomiets
Vladislav Kopzon	Efraim Kugman	Edmond Lau	Uriel Lemberger
Yun Ling	Guobin Liu	Balaji Manoharan	Liran Manor
Uma Medepalli	Assaf Mevorach	Hezi Naaman	Ohad Navon
Naod Negussie	CheeLim Nge	Leonid Plaks	Duane Quiet
Rajaram Regupathy	Reuven Rozic	Oren Salomon	Zeeshan Sarwar
Brad Saunders	Leonid Shaposhnik	Ehud Shoor	Ari Sharon

Uri Soloveychik	Einat Surijan	Aviel Uzan	Karthi Vadivelu
Alex Vekker	Chen Vrubel	Stephanie Wallick	Tzewen Wang
Sarel Wechsler	Ady Weiss	Vitaly Zhivov	Gal Yedidia
Vladimir Yudovich	Aruni Nelson		

Microsoft Corporation – Promoter Company Employees

Randy Aull	Jim Belesiu	Martin Borve	Anthony Chen
Jesse Chen	Matt Chung	Aacer Daken	Rajib Dutta
Mark Friend	Philip Froese	David Hargrove	Robbie Harris
Kit Hui	Toby Nixon	Rahul Ramadas	Andrea Severson
Kiran Shastry	Nathan Sherman	Ji Sun	Shyamal Varma

Renesas Corporation – Promoter Company Employees

Tam Do	Robert Dunstan	Philip Leung	Kiichi Muto
Ziba Nami	Hajime Nozaki	Raman Sargis	Yoshiyuki Tomoda
Starry Tsai	Jia Wei	Toshifumi Yamaoka	

STMicroelectronics – Promoter Company Employees

Nathalie Ballot	Joel Huloux	Gerard Mas	
-----------------	-------------	------------	--

Texas Instruments – Promoter Company Employees

Mike Campbell	Anant Gole	Craig Greenburg	Michael Koltun IV
Sai Karthik Rajaraman	Anwar Sadat	Cory Stewart	Sue Vining
Deric Waters	Gregory Watkins		

Contributor Company Employees

ACON, Advanced-Connectek, Inc.	Victory Chen	Conrad Choy	Vicky Chuang
	Jessica Feng	Sharon Hsiao	Wayne Wang
Advanced Micro Devices	Dennis Au	Nat Barbiero	Jason Chang
	Michael Comai	Walter Fry	Will Harris
	Jason Hawken	Jim Hunkins	Ling Kong
	Scott Ogle	Victor Salim	Joseph Scanlon
	Peter Teng		
Allion Labs, Inc.	Howard Chang	Casper Lee	Brian Shih
Analogix Semiconductor, Inc.	Greg Stewart	Haijian Sui	Yueke Tang
	Ning Zhu		
Anritsu Corporation	Wataru Aoba	John Jerico Custodio	Kazuhiro Fujinuma

	Hiroshi Goto	Alessandro Messina	Tadanori Nishikobara
	Ryo Sunayama	Toshihiro Suzuki	Mitsuhiro Usuba
	Takeshi Wada		
ASMedia Technology Inc.	Chang Chinyu	Chang Weiyun	Chen Chiahsin
	Chen Chunhung	Chuang Weber	Kuo Han Sung
	Lin Curtis	Lin ShuYu	Tseng PS
	Tseng YD	Wei Daniel	Wu ShengChung
Avery Design Systems, Inc.	Chris Browy	Chilai Huang	Zhihong Zeng
BitifEye Digital Test Solutions GmbH	Sebastian Muschala	Hermann Stehling	
Bizlink Technology, Inc.	Alex Chou	Morphy Hsieh	Kevin Tsai
Cadence Design Systems, Inc.	Marcin Behrendt	Jacek Duda	Shikha Gupta
	Gaurav Jain	Poonam Khatri	Yash Kothari
	Vinod Lakshman	Shivaji Magadum	Andy Mauffet-Smith
	Rohit Mishra	Uyen Nguyen	Raja Pounraj
	Thirumal Reddy	Anand RK	Anshul Shah
	Neelabh Singh	Ofer Steinberg	Mark Summers
	Claire Ying	Wasiq Zia	
Corigine, Inc.	Kevin Fan	Ali Khan	Xiao Xiao
Corning Optical Communications LLC	Mark Bradley	Wojciech Giziewicz	Ian McKay
	Jamie Silva		
Cypress Semiconductor	Mark Fu	Naman Jain	Savan Javia
	Palani Subbiah		
Dell Inc.	Mohammed Hijazi	Tom Lanzoni	Ken Nicholas
	Marcin Nowak	Scott Ogle	Adie Tan
	Lee Zaretsky		
Diodes Incorporated	Qun Song		
DisplayLink (UK) Ltd.	Pete Burgers	Dan Ellis	
DJI Technology Co., Ltd.	Steve Huang		
Electronics Testing Center, Taiwan	Sophia Liu		
Elka International Ltd.	Alvin Cheng	Chloe Hsieh	Roy Ting

	Jui-Ming Yang		
Ellisys	Abel Astley	Mario Pasquali	Chuck Trefts
	Tim Wei		
Etron Technology, Inc.	Andy Chen	Shihmin Hsu	Bryan Huang
	Chien-Cheng Kuo	Jen Hong Larn	
Foxconn / Hon Hai	Patrick Casher	Joe Chen	Jason Chou
	Fred Fons	Bob Hall	Terry Little
	Christine Tran	A.J. Yang	Jie Zheng
Fresco Logic Inc.	Tim Barilovits	Bob McVay	Christopher Meyers
	Jie Ni	Jeffrey Yang	
Genesys Logic, Inc.	Sean Chen	Gerry Chou	Thomas Hsieh
	Jerry Hu	Perlman Hu	Roy Huang
	ChunYen Kuo	Weddell Lee	Jimmy Lin
	Miller Lin	D.C. Lu	Greg Tu
	Han Wu	Yihsun Wu	
Google Inc.	Mark Hayter	Benson Leung	Raj Mojumder
	David Schneider		
Granite River Labs	Nikhil Acharya	Yun Han Ang	Sandy Chang
	Allen Chen	Cyan Chen	Swee Guan Chua
	Alan Chuang	Steven Lee	Caspar Lin
	Tim Lin	Krishna Murthy	Johnson Tan
	Rajaraman V	Chin Hun Yaep	
Hotron Precision Electronic Ind. Corp.	Rosa Chen	Patrick Yeh	YF Zhang
I-PEX (Dai-ichi Seiko)	Alan Kinningham	Ro Richard	
Japan Aviation Electronics Industry Ltd.	Mark Saubert	Junichi Takeuchi	
JMicron Technology Corp.	Charon Chen	Mika Cheng	Kevin Liu
Kandou Bus SA	Brian Holden	Hitaish Sharma	David Stauffer
	Andrew Stewart	Mark Vennebarger	
Keysight Technologies Inc.	Atsushi Imaoka	Biing Lin Lem	Jit Lim
	Francis Liu	Roland Scherzinger	

L&T Technology Services	Binu Chinna Thankam	Sunil Kumar	Siddharth Pethe
	Badrinath Ramachandra	Arunkumar Selvam	Gayathri SN
LeCroy Corporation	Alan Blankman	Patrick Connally	Carl Damn
	David Fraticelli	Daniel H Jacobs	Farnoosh Jafari
	Tyler Joe	Carlo Mazzetti	Mike Micheletti
	Kathryn Morales	Jeff Sabuda	Joseph Schachner
	Chris Webb		
Lenovo	Toshikazu Horino	Shinji Matsushima	Yuuki Matsuura
	Nozomu Nagata	Munefumi Nakata	Kazuya Shibayama
	Shunki Sugai	Chikara Takahashi	Masahiro Tokuno
	Kayanagi Tsuneo		
LG Electronics Inc.	Do Kyun Kim	Yoon Jong Lee	Seung Yoo
Lintes Technology Co., Ltd.	Tammy Huang	Charles Kaun	RD Lintes
	Max Lo	CT Pien	Jin Yi Tu
	Jason Yang		
Lotes Co., Ltd.	Regina Liu-Hwang	John Lynch	
Luxshare-ICT	Josue Casillo	CY Hsu	Antony Lin
	John Lin	Stone Lin	Scott Shuey
	Eric Wen	Pat Young	
Maxio Technology (Hangzhou) Ltd.	George Fang		
MediaTek Inc.	Henry Chen	Alexyc Lin	Pochou Lin
	Chiachun Wang		
MegaChips Corporation	Rahul Agarwal	Ramesh Dandapani	Satoru Kumashiro
	Ryuichi Mariizumi	Sireesha Vemulapalli	Nobu Yanagisawa
Mercedes-Benz Research & Development, North America, Inc.	Hans Wickler		
Microchip Technology Inc.	Mark Bohm	Atish Ghosh	Fernando Gonzalez
	Mark Gordon	Richard Petrie	Brigham Steele
	Anthony Tarascio	Robert Zakowicz	
Molex LLC	Alan MacDougall		
MQP Electronics Ltd.	Sten Carlsen	Pat Crowe	

Newnex Technology Corp.	Sam Liu		
NVIDIA	Jamie Aitken	Mark Overby	
NXP Semiconductors	Mahmoud El Sabbagh	Ken Jaramillo	Abhijeet Kulkarni
	Vijendra Kuroodi	Krishnan TN	
Oculus VR LLC	Marty Evans	Joaquin Fierro	Chao Hu
ON Semiconductor	Eduardo De Reza	Oscar Freitas	Christian Klein
	Amir Lahooti		
Parade Technologies, Inc.	Jian Chen	Jimmy Chiu	Mark Qu
	Craig Wiley	Paul Xu	Kevin Yuan
	Alan Yuen		
Phison Electronics Corp.	Jimmy Chen	Ko Hong Lipp	Sebastien Jean
	Stark Kuan	Thomas Lee	Anton Lin
	Winnie Lu	Wei Sui-Ning	James Tsai
	Michael Wu	Fu-Hua Yang	Chang Yuan-Cheng
Qualcomm, Inc	Tomer Ben Chen	Yiftach Benjamini	Richard Burrows
	Amit Gil	James Goel	Philip Hardy
	Raja Jagadeesan	Lalan Mishra	Dmitrii Vasilchenko
	Chris Wiesner		
Realtek Semiconductor Corp.	Chung-Chun Chen	Jen Wen Chen	Shen Chen
	Jonathan Chou	Chang Ding	Yao Feng
	Bokai Huang	An-Ming Lee	Ray Lee
	Ryan Lin	Terry Lin	Luobin Wang
	Kay Yin	Chris Zeng	
Rohde & Schwarz GmbH & Co. KG	Johannes Ganzert	Randy White	
Samsung Electronics Co., Ltd.	Jaedeok Cha	KangSeok Cho	CheolYoon Chung
	Sangju Kim	Termi Kwon	Cheolho Lee
	Edward Lee	Jun Bum Lee	Chahoon Park
	Sunggeun Yoon		
Seagate Technology LLC	Alvin Cox	Paul McParland	Michael Morgan
	Cuong Tran		
Silicon Line GmbH	Ian Jackson		

SiliConch Systems Private Limited	Kaustubh Kumar	Rakesh Polasa	Satish Anand Verkila
Softnautics LLP	Bhavesh Desai	Hetal Jariwala	Dipakkumar Modi
	Ishita Shah	Ujjwal Talati	
Spectra7 Microsystems Corp.	Alex Chow	James McGrath	
Specwerkz	Sydney Fernandes	Amanda Hosler	Diane Lenox
	Soren Petersen		
STMicroelectronics	Nathalie Ballot	Joel Huloux	Gerard Mas
Sumitomo Electric Ind., Ltd., Optical Comm. R&D Lab	Sainer Siagian	Mitsuaki Tamura	
Synaptics Inc.	Jeff Lukanc	Mark Miller	Prashant Shamarao
Synopsys, Inc.	Prishkrit Abrol	Subramaniam Aravindhan	Jeanne Cai
	Jun Cao	Morten Christiansen	Scott Guo
	Eric Huang	Joseph Juan	Venkataraman Krishnan
	Jitendra Kushwaha	Behram Minwalla	Saleem Mohammad
	Rick Schmidt	Jasjeet Singh	Mahendra Singh
	John Stonick	Zongyao Wen	Fred Yu
Tektronix, Inc.	Madhusudan Acharya	Sourabh Das	Keyur Diwan
	Mark Guenther	Abhijeet Shinde	Gary Simontom
Thine Electronics, Inc.	Shuhei Yamamoto		
Tyco Electronics Corp., a TE Connectivity Ltd. company	Simon Li	Jeff Mason	Jacky Mo
	Tommy Yu	Yuanbo Zhang	Tony Zhu
Varjo Technologies	Kai Inha		
VIA Labs, Inc.	Wayne Tseng		
VIA Technologies, Inc.	Benjamin Pan	Terrance Shih	Jay Tseng
	Fong-Jim Wang		
Weltrend Semiconductor	Chao-Chee Ku	Jeng Cheng Liu	Wayne Lo
	Ho Wen Tsai	Eric Wu	Randolph Wu
	Simon Yeh		
Western Digital	David Landsman	Larry McMillan	Rob Ryan
Wilder Technologies	Steve Bright	Zach Moore	Joe O'Brien
	Majid Shayegh		

CONTENTS

1	Introduction	41
1.1	Scope of the Document	41
1.2	USB Product Compliance	41
1.3	Document Organization	41
1.4	Design Goals	41
1.5	Related Documents	41
1.6	Conventions	42
1.6.1	Precedence	42
1.6.2	Keywords	42
1.6.2.1	Informative	42
1.6.2.2	May	42
1.6.2.3	N/A	42
1.6.2.4	Normative	42
1.6.2.5	Optional	42
1.6.2.6	Reserved	42
1.6.2.7	Shall	42
1.6.2.8	Should	43
1.6.3	Capitalization	43
1.6.4	Italic Text	43
1.6.5	Numbering	43
1.6.6	Bit, Byte, DW, and Symbol Conventions	43
1.6.7	Implementation Notes	43
1.6.8	Connection Manager Notes	43
1.6.9	Pseudocode	43
1.6.10	CRC Algorithms	44
1.6.11	FourCC	44
1.7	Reserved Values and Fields	44
1.8	Terms and Abbreviations	45
2	Architectural Overview	50
2.1	USB4 System Description	50
2.1.1	Architectural Constructs	52
2.1.1.1	Routers	52
2.1.1.2	Adapters	52
2.1.1.3	USB4 Ports and Links	52
2.1.1.4	USB4 Devices	53
2.1.1.5	USB4 Host	54
2.1.1.6	Re-timers	55
2.1.1.7	Connection Manager	55
2.1.2	USB4 Mechanical	55
2.1.3	USB4 Power	55
2.1.4	USB4 System Configuration	55
2.1.5	Thunderbolt™ 3 (TBT3) Compatibility Support	55
2.1.6	USB Type-C Alternate Mode Compatibility Support	56
2.2	USB4 Fabric Architecture	56
2.2.1	USB4 Functional Stack	56

2.2.1.1	Electrical Layer	57
2.2.1.2	Logical Layer	57
2.2.1.3	Transport Layer	57
2.2.1.4	Configuration Layer	58
2.2.1.5	Protocol Adapter Layer	58
2.2.2	USB4 Fabric Topology	58
2.2.3	Paths	59
2.2.4	Communication Constructs	61
2.2.4.1	USB4 Link	61
2.2.4.2	Sideband Channel	62
2.2.5	USB4 Host-to-Host Communications	63
2.2.6	Programming Model	63
2.2.6.1	Connection Manager	63
2.2.6.2	Configuration Spaces	64
2.2.6.3	Operations	64
2.2.7	Time Synchronization	64
2.2.8	USB4 Fabric Data Integrity	64
2.2.9	Global Life of a Router	65
2.2.10	Protocol Tunneling	65
2.2.10.1	USB3 Tunneling	66
2.2.10.2	Display Tunneling	70
2.2.10.3	PCIe Tunneling	73
2.2.10.4	Host Interface Adapter	77
3	Electrical Layer	79
3.1	Sideband Channel Electrical Specifications	80
3.2	USB4 Ecosystem	81
3.2.1	Insertion-Loss Considerations (Informative)	81
3.2.2	Coded Bit-Error-Ratio Considerations (Informative)	82
3.3	USB4 Electrical Compliance Methodology	82
3.3.1	System Compliance Test Point Definitions	82
3.3.2	AC Coupling Capacitors	83
3.3.3	Reference Clock-and-Data-Recovery (CDR) Function	84
3.3.4	Reference Equalization Function	84
3.3.4.1	Reference CTLE	85
3.3.4.2	Reference DFE	87
3.3.5	Time Domain Measurements	87
3.3.6	Compliance Boards	87
3.3.6.1	Compliance Plug Test Board	87
3.3.6.2	Compliance Receptacle Test Board	87
3.4	Router Assembly Transmitter Compliance	87
3.4.1	Transmitter Specifications Applied for All Speeds	87
3.4.1.1	Transmitter Frequency Variations during Link Training	89
3.4.1.2	Transmitter Differential Return Loss	90
3.4.1.3	Transmitter Common Mode Return Loss	91
3.4.1.4	Transmit Equalization	92
3.4.2	Transmitter Compliance Specifications for Gen 2	95
3.4.3	Transmitter Compliance Specifications for Gen 3 Interconnects	97
3.5	Router Assembly Receiver Compliance	98

3.5.1	Receiver Specifications Applied for All Speeds	98
3.5.1.1	Receiver Differential Return Loss	99
3.5.1.2	Receiver Common Mode Return Loss	100
3.5.2	Receiver Uncoded BER Tolerance Testing	101
3.5.3	Receiver Multi Error-Bursts Testing	103
3.6	Captive Device Compliance	105
3.6.1	Captive Device Compliance Test Setup	105
3.6.2	Captive Device Transmitter Specifications	105
3.6.2.1	Conducted Energy in Wireless Bands	105
3.6.2.2	Transmitter Specifications	106
3.6.2.3	Transmitter Differential Return Loss	109
3.6.2.4	Transmitter Common Mode Return Loss	109
3.6.2.5	Transmit Equalization	109
3.6.3	Captive Device Receiver Specifications	109
3.6.3.1	Receiver Specifications Applied for All Speeds	109
3.6.3.2	Receiver Differential Return Loss	110
3.6.3.3	Receiver Common Mode Return Loss	110
3.6.4	Captive Device Receiver Uncoded BER Tolerance Testing	111
3.6.5	Captive Device Receiver Multi Error-Bursts Testing	112
3.7	Low Frequency Periodic Signaling (LFPS)	113
3.7.1	LFPS Signal Definition	113
3.8	Receiver Lane Margining (Testability)	114
3.8.1	Background	114
3.8.1.1	Software Margining Mode	115
3.8.1.2	Hardware Margining Mode	115
3.8.2	Receiver Voltage Margining and Timing Margining Requirements	116
3.8.3	Receiver Parameter Access	118
4	Logical Layer	119
4.1	Sideband Channel	119
4.1.1	Transactions	120
4.1.1.1	Symbols	120
4.1.1.2	Transaction Types	120
4.1.1.3	SB Register Space	128
4.1.2	Lane Initialization	136
4.1.2.1	Phase 1 – Determination of Initial Conditions	137
4.1.2.2	Phase 2 – Router Detection	139
4.1.2.3	Phase 3 – Determination of USB4 Port Characteristics ..	139
4.1.2.4	Phase 4 – Lane Parameters Synchronization and Transmit Start	140
4.1.2.5	Phase 5 – Link Equalization	140
4.2	Logical Layer State Machine	143
4.2.1	Lane Adapter State Machine	143
4.2.1.1	Disabled	144
4.2.1.2	CLd	144
4.2.1.3	Training	145
4.2.1.4	CL0	152
4.2.1.5	Lane Bonding	153
4.2.1.6	Low Power (CL0s, CL1, and CL2)	154

- 4.2.2 USB4 Link Transitions 170
 - 4.2.2.1 Transition from One Single-Lane Link to Two Single-Lane Links..... 170
 - 4.2.2.2 Transition from Two Single-Lane Links to Dual-Lane Link 171
 - 4.2.2.3 Transition from Dual-Lane Link to Two Single-Lane Links 172
 - 4.2.2.4 Transition from Two Single-Lane Links to One Single-Lane Link 172
- 4.2.3 Logical Layer Link State 173
- 4.3 USB4 Link Encoding 173
 - 4.3.1 Lane Distribution 175
 - 4.3.2 Symbol Encoding 176
 - 4.3.2.1 Symbol Encoding of Transport Layer Bytes..... 176
 - 4.3.3 Ordered Sets..... 177
 - 4.3.4 Bit Swap..... 178
 - 4.3.4.1 Sync Bits 178
 - 4.3.4.2 Data Symbol Payload 178
 - 4.3.4.3 Ordered Set Symbol Payload..... 179
 - 4.3.5 Scrambling 180
 - 4.3.6 RS-FEC..... 181
 - 4.3.6.1 RS-FEC Activation and Deactivation..... 183
 - 4.3.6.2 Pre-Coding 184
- 4.4 USB4 Link Operation 184
 - 4.4.1 Start of Data..... 184
 - 4.4.2 Error Cases and Recovery 184
 - 4.4.3 Clock Compensation and SKIP 186
 - 4.4.4 Dual-Lane Skew 186
 - 4.4.5 Disconnect 187
 - 4.4.5.1 Upstream Facing Port Disconnect..... 187
 - 4.4.5.2 Downstream Port Disconnect..... 188
 - 4.4.6 Lane Adapter Disable and Enable 190
 - 4.4.6.1 Disabled Adapter is the Upstream Adapter 191
 - 4.4.6.2 Disabled Adapter is not the Upstream Adapter..... 192
 - 4.4.7 Time Sync Notification Ordered Set (TSNOS)..... 194
- 4.5 Sleep and Wake 194
 - 4.5.1 Entry to Sleep 194
 - 4.5.2 Behavior in Sleep State 196
 - 4.5.3 Wake Events 196
 - 4.5.4 Exit from Sleep..... 197
 - 4.5.4.1 Upstream Facing Port Disconnect..... 197
 - 4.5.4.2 Wake on USB4 Event 197
- 4.6 Timing Parameters 198
- 5 Transport Layer 201
 - 5.1 Transport Layer Packets..... 201
 - 5.1.1 Bit/Byte Conventions 201
 - 5.1.2 Format 202
 - 5.1.2.1 Header 202
 - 5.1.2.2 Payload Padding 203

5.1.2.3	Error Correction Code (ECC)	204
5.1.3	Transport Layer Packets	204
5.1.3.1	Tunneled Packets	204
5.1.3.2	Control Packets	204
5.1.3.3	Link Management Packets	204
5.1.4	Effect of Link State on Transport Layer Packets	207
5.1.5	Minimum Headers Gap	208
5.2	Routing	209
5.2.1	Adapter Numbering Rules	209
5.2.2	HopID Rules	210
5.2.3	Routing Tables	211
5.2.4	Routing Rules	212
5.2.4.1	Control Packets	212
5.2.4.2	Link Management Packets	212
5.2.4.3	Tunneled Packets	213
5.2.4.4	Routing Example	213
5.2.5	Connectivity Rules	214
5.3	Quality of Service (QOS)	215
5.3.1	Packet Ordering	215
5.3.2	Flow Control	215
5.3.2.1	Ingress Adapter	216
5.3.2.2	Egress Adapter	221
5.3.2.3	Credit Counter Synchronization	223
5.3.3	Bandwidth Arbitration and Priority	223
5.3.3.1	Scheduling	224
5.3.4	Packet Forwarding Delay Jitter	225
5.4	Path Tear-down	225
5.4.1	Egress Adapter	225
5.4.2	Ingress Adapter	226
5.5	Timing Parameters	226
6	Configuration Layer	227
6.1	Domain Topology	227
6.2	Router Addressing	227
6.3	Router States	229
6.3.1	Uninitialized Unplugged State	230
6.3.2	Uninitialized Plugged State	230
6.3.3	Sleep State	230
6.3.4	Enumerated State	230
6.4	Control Packet Protocol	231
6.4.1	Control Adapter	231
6.4.2	Control Packets	231
6.4.2.1	Bit/Byte Conventions	231
6.4.2.2	Format	231
6.4.2.3	Read Request	232
6.4.2.4	Read Response	233
6.4.2.5	Write Request	235
6.4.2.6	Write Response	236
6.4.2.7	Notification Packet	237

6.4.2.8	Notification Acknowledgement Packet.....	238
6.4.2.9	Hot Plug Event Packet.....	239
6.4.2.10	Inter-Domain Request.....	240
6.4.2.11	Inter-Domain Response	241
6.4.3	Control Packet Routing	242
6.4.3.1	Upstream-Bound Packets	242
6.4.3.2	Downstream-Bound Packets.....	242
6.4.3.3	Processing of Read and Write Requests	244
6.4.4	Control Packet Reliability	245
6.5	Notification Events.....	246
6.6	Notification Acknowledgement.....	247
6.7	Router Enumeration.....	247
6.8	Hot Plug and Hot Unplug Events.....	249
6.8.1	Router Hot Plug.....	251
6.8.1.1	Enumerated Routers	251
6.8.1.2	Uninitialized Routers.....	251
6.8.1.3	Hot Plugged Router	251
6.8.2	Router Hot Unplug.....	251
6.8.2.1	Hot Unplug on the Upstream Facing Port.....	251
6.8.2.2	Hot Unplug on a Downstream Facing Port	252
6.9	Downstream Facing Port Reset	252
6.10	Timing Parameters	252
7	Time Synchronization.....	253
7.1	Time Synchronization Architecture	253
7.1.1	Synchronization Hierarchy.....	253
7.1.1.1	Intra-Domain Hierarchy.....	253
7.1.1.2	Inter-Domain Hierarchy.....	254
7.1.2	Time Sync Parameters	254
7.1.2.1	Local Time.....	254
7.1.2.2	Time Offset.....	255
7.1.2.3	Frequency Offset	255
7.2	Time Stamp Measurement.....	256
7.2.1	Asymmetry Corrections	256
7.3	Time Sync Protocol	257
7.3.1	Time Sync Handshake.....	257
7.3.1.1	Bi-Directional Time Sync Handshake	258
7.3.1.2	Uni-Directional Time Sync Handshake	262
7.3.2	Inter-Domain Time Sync.....	264
7.3.3	Packet Formats	266
7.3.3.1	Time Sync Notification Ordered Set Format	266
7.3.3.2	Follow-Up Packet Format.....	266
7.3.3.3	Inter-Domain Time Stamp Packet	268
7.4	Time Computations.....	269
7.4.1	Intra-Domain Equations.....	271
7.4.2	Inter-Domain Equations.....	273
7.4.2.1	Inter-Domain Time Stamp Computation	274
7.4.2.2	Inter-Domain Frequency Offset Computation.	274
7.4.2.3	Inter-Domain Time Offset Computation	275

7.4.2.4	Inter-Domain Host Router Time Computation.....	276
7.4.3	Filtering.....	277
7.5	Time Synchronization Accuracy Requirements	278
7.5.1	Paired Measurement	278
7.5.2	Standalone Measurement.....	278
7.5.3	Measuring Method.....	279
7.5.4	Accuracy Parameters	280
7.6	Software Configuration	281
7.6.1	Intra-Domain Time Synchronization Setup.....	281
7.6.2	Inter-Domain Time Synchronization Setup.....	281
7.6.3	Post Time Mechanism	281
7.6.4	Time Disruption Bit.....	282
8	Configuration Spaces	283
8.1	Configuration Fields Access Types	283
8.2	Configuration Spaces	284
8.2.1	Router Configuration Space	284
8.2.1.1	Basic Configuration Registers.....	286
8.2.1.2	TMU Router Configuration Capability.....	293
8.2.1.3	Vendor Specific Capability (VSC).....	300
8.2.1.4	Vendor Specific Extended Capability (VSEC).....	301
8.2.2	Adapter Configuration Space.....	302
8.2.2.1	Basic Configuration Registers.....	304
8.2.2.2	TMU Adapter Configuration Capability	308
8.2.2.3	Lane Adapter Configuration Capability	310
8.2.2.4	USB4 Port Capability	314
8.2.2.5	USB3 Adapter Configuration Capability	320
8.2.2.6	DP Adapter Configuration Capability.....	323
8.2.2.7	PCIe Adapter Configuration Capability.....	335
8.2.3	Path Configuration Space.....	336
8.2.3.1	Path 0 Entry	336
8.2.3.2	Lane Adapters	337
8.2.3.3	Protocol Adapters	339
8.2.3.4	Path Configuration Space Access	341
8.2.4	Counters Configuration Space.....	342
8.3	Operations.....	344
8.3.1	Router Operations	344
8.3.1.1	DP Tunneling Operations.....	345
8.3.1.2	NVM Operations	348
8.3.1.3	Router Discovery Operations	353
8.3.1.4	Port Control Operations	359
8.3.2	Port Operations	360
8.3.2.1	Compliance Port Operations	362
8.3.2.2	Service Port Operations.....	372
8.3.2.3	Receiver Lane Margining Port Operations.....	373
9	USB3 Tunneling	383
9.1	USB3 Adapter Layer.....	384
9.1.1	Encapsulation	384
9.1.1.1	LFPS Encapsulation	385

9.1.1.2	Ordered Set Encapsulation	388
9.1.1.3	Link Command Encapsulation	390
9.1.1.4	Idle Symbols	390
9.1.1.5	LMP Encapsulation	390
9.1.1.6	TP Encapsulation	391
9.1.1.7	ITP Encapsulation	391
9.1.1.8	Data Packet (DP) Encapsulation	392
9.1.2	Bandwidth Negotiation	394
9.1.3	Timing Parameters	396
9.2	Internal USB3 Device	396
9.2.1	Link Layer	397
9.2.1.1	Link Training and Status State Machine (LTSSM)	397
9.2.1.2	Timers and Timeouts	397
9.2.2	USB3 Protocol Layer	398
9.2.3	Descriptors	398
9.3	Paths	398
9.3.1	Path Setup	398
9.3.2	Path Teardown	398
10	DisplayPort™ Tunneling	400
10.1	DP Adapter Protocol Stack	400
10.1.1	Transport Layer	401
10.1.2	Protocol Adapter Layer	401
10.1.3	DP Physical Layer	401
10.2	DP Adapter States	401
10.2.1	Reset	402
10.2.2	Present	402
10.2.3	Plugged	403
10.2.4	Paired	403
10.3	Interfaces	403
10.3.1	DisplayPort	403
10.3.1.1	LTTTPR Non-Transparent	404
10.3.1.2	Non-LTTTPR	404
10.3.1.3	LTTTPR Transparent	405
10.3.2	Programming Model	405
10.3.2.1	Adapter Configuration Space	405
10.3.2.2	Path Configuration Space	405
10.3.3	Hot Plug and Hot Removal Events	406
10.3.3.1	DP OUT Adapters	406
10.3.3.2	DP IN Adapters	406
10.3.4	DisplayPort Over USB4 Fabric	408
10.3.4.1	DisplayPort Data Packet Types	408
10.3.4.2	AUX Path Packet	408
10.3.4.3	Main-Link Path Packet Formats	415
10.4	System Flows	415
10.4.1	Connection Manager Discovery	415
10.4.2	Path Configuration	416
10.4.2.1	Setup	416
10.4.2.2	Tear-down	418

10.4.3	HPD Event Propagation.....	419
	10.4.3.1 HPD Plug.....	419
	10.4.3.2 HPD Unplug.....	419
	10.4.3.3 IRQ.....	419
	10.4.3.4 HPD Delay Requirements	420
	10.4.3.5 Manual HPD Control	420
10.4.4	AUX Request and Response Handling.....	420
	10.4.4.1 LTTTPR Non-Transparent Mode	420
	10.4.4.2 Non-LTTTPR Mode	422
	10.4.4.3 LTTTPR Transparent Mode.....	425
	10.4.4.4 AUX Delay Requirements	427
	10.4.4.5 Aggregated DisplayPort Capabilities	427
	10.4.4.6 DPCD DP Tunneling over USB4	428
10.4.5	DP Adapters Init Flow.....	429
	10.4.5.1 Multi-Function DP	429
10.4.6	Source Discovery	429
	10.4.6.1 LTTTPR Recognition and Modes Change	430
	10.4.6.2 DPRX Capabilities Read	430
	10.4.6.3 Sink Count Read	431
10.4.7	Down-Spread Control	431
10.4.8	Stream Mode Set	431
10.4.9	DSC and FEC Enable.....	431
10.4.10	DP Link Training.....	432
	10.4.10.1LTTTPR.....	432
	10.4.10.2Non-LTTTPR and LTTTPR Transparent	437
	10.4.10.3Transition to High Speed Tunnel.....	439
10.4.11	Power States Set	439
10.4.12	DP Main-Link Disable.....	439
10.4.13	Link-Init.....	440
10.4.14	DP PHY Testability.....	440
	10.4.14.1DP IN Adapter PHY Layer Testing	440
	10.4.14.2DP OUT Adapter PHY Layer Testing.....	441
10.5	High Speed Tunneling	441
10.5.1	SST Tunneling	442
	10.5.1.1 Video Data Packet.....	442
	10.5.1.2 Main Stream Attribute Packet	448
	10.5.1.3 Blank Start Packet.....	449
	10.5.1.4 Secondary Data Packet	451
	10.5.1.5 Fill Count.....	455
10.5.2	MST Tunneling.....	458
	10.5.2.1 Sub-MTP TU.....	458
	10.5.2.2 MTP to Sub-MTP TU Examples	464
	10.5.2.3 MST Packet Format.....	466
	10.5.2.4 MST Packets to DP MTP	467
10.5.3	FEC	467
	10.5.3.1 SR Count.....	467
	10.5.3.2 DP IN Adapter Requirements.....	468
	10.5.3.3 DP OUT Adapter Requirements	468

10.5.3.4	FEC_DECODE Packet	469
10.5.4	DP OUT Adapter Buffer	469
10.5.4.1	Buffer Operation	470
10.5.4.2	Accumulation Cycles	470
10.5.5	HDCP	471
10.6	DP Link Clock Sync	471
10.6.1	Synchronization Method	472
10.6.1.1	Events	472
10.6.1.2	Lifetime Counter	472
10.6.1.3	DP Clock Sync Packet	474
10.6.2	DP Adapter Requirements	476
10.6.2.1	DP IN Adapter Requirements	476
10.6.2.2	DP OUT Adapter Requirements	476
10.7	DP BW Allocation Mode	477
10.7.1	DP BW Allocation Mode Enablement	477
10.7.2	Interaction with DPTX	478
10.7.2.1	Estimated Bandwidth	481
10.7.3	Interaction with the Connection Manager	481
10.8	Timing Parameters	483
11	PCI Express Tunneling	484
11.1	PCIe Adapter Layer	485
11.1.1	Encapsulation	485
11.1.1.1	PCIe TLP and DLLP	485
11.1.1.2	PCIe Ordered Sets	489
11.1.1.3	Electrical Idle State	491
11.1.1.4	PERST	491
11.1.2	USB4 Hot-Plug	492
11.2	Internal PCIe Ports	492
11.2.1	PCIe Physical Layer Logical Sub-block	492
11.2.1.1	Encoding	492
11.2.1.2	Link Training and Status State Machine (LTSSM)	492
11.2.1.3	ASPM L1 Entry	493
11.2.1.4	Clock Tolerance Compensation	493
11.2.1.5	Compliance Mode	493
11.2.1.6	Clock Power Management	493
11.2.1.7	L2 State	493
11.2.2	PCIe Data Link Layer	493
11.2.3	PCIe Transaction Layer	493
11.2.4	PCIe Link Timers (Informative)	494
11.2.5	Precision Time Measurement (PTM) Mechanism	495
11.2.5.1	Parameter Generator	497
11.2.5.2	Parameter Consumer	497
11.2.5.3	PTM Calculations	498
11.2.6	Timing Parameters	500
11.3	Paths	500
11.3.1	Path Set-Up	500
11.3.2	Path Tear-Down	500
12	Host Interface	501

12.1	Descriptor Ring Mode	502
12.1.1	DW, Byte, and Bit Order	502
12.1.2	Raw Mode	503
12.1.3	Frame Mode	503
12.2	End-to-End (E2E) Flow Control	505
12.2.1	E2E Flow Control Packets	505
12.2.1.1	E2E Credit Grant Packet	505
12.2.1.2	E2E Credit Sync Packet	507
12.2.2	Flow Control Rules	507
12.2.2.1	Credit Update	507
12.2.2.2	Credit Counter Synchronization	507
12.2.2.3	Transmitting Host Interface Rules	508
12.2.2.4	Receiving Host Interface Rules	509
12.3	Transmit Interface	510
12.3.1	Transmit Descriptor Structure	510
12.3.2	Transmit Flow	511
12.3.2.1	Frame Mode	511
12.3.2.2	Raw Mode	512
12.4	Receive Interface	513
12.4.1	Receive Descriptor Structure	513
12.4.2	Receive Flow	515
12.4.2.1	Frame Mode	515
12.4.2.2	Raw Mode	516
12.5	Interrupts	517
12.5.1	Interrupt Causes	517
12.5.2	Interrupt Masks	517
12.5.3	Interrupt Vectors	517
12.5.4	Interrupt Moderation	517
12.6	Programming Interface	518
12.6.1	Access Types	519
12.6.2	Registers Summary	519
12.6.3	Registers Description	520
12.6.3.1	Host Interface Control	520
12.6.3.2	Transmit Descriptor Rings	522
12.6.3.3	Receive Descriptor Rings	524
12.6.3.4	Interrupts	527
12.7	Timing Parameters	532
13	Interoperability with Thunderbolt™ 3 (TBT3) Systems	532
13.1	Electrical Layer	532
13.2	Logical Layer	533
13.2.1	Sideband Channel	533
13.2.1.1	Bidirectional Re-timer	533
13.2.1.2	Transactions	533
13.2.1.3	SB Register Space	536
13.2.1.4	Lane Initialization	536
13.2.2	Logical Layer State Machine	541
13.2.2.1	CLd State	541
13.2.2.2	TS1 and TS2 Ordered Sets	542

- 13.2.2.3 Low Power (CL0s, CL1, and CL2) 542
- 13.2.3 USB4 Link Operation 542
 - 13.2.3.1 USB4 Link Transitions 542
 - 13.2.3.2 Pre-Coding 542
- 13.2.4 Sleep and Wake 542
 - 13.2.4.1 Entry to Sleep 542
 - 13.2.4.2 Behavior in Sleep State 543
 - 13.2.4.3 Wake Events 543
 - 13.2.4.4 Exit from Sleep 543
- 13.2.5 Timing Parameters 544
- 13.3 Transport Layer 544
 - 13.3.1 Adapter Numbering Rules 544
 - 13.3.2 Maximum HopID 544
 - 13.3.3 Connectivity Rules 544
 - 13.3.4 Buffer Allocation 545
- 13.4 Configuration Layer 545
 - 13.4.1 Router Enumeration 545
 - 13.4.2 Notification Packet 545
 - 13.4.3 Bit Banging Interface 545
 - 13.4.4 Control Packet Routing 546
 - 13.4.4.1 Downstream-Bound Packets 546
 - 13.4.4.2 Uninitialized Router Flow 547
- 13.5 Time Synchronization 547
- 13.6 Configuration Spaces 547
 - 13.6.1 Router Configuration Space 548
 - 13.6.1.1 Vendor Specific 1 Capability 548
 - 13.6.1.2 Vendor Specific 3 Capability 552
 - 13.6.1.3 Vendor Specific 4 Capability 555
 - 13.6.1.4 Vendor Specific Extended 6 Capability 556
 - 13.6.2 Adapter Configuration Space 563
 - 13.6.2.1 Basic Attributes 563
 - 13.6.2.2 USB4 Port Capability 564
- 13.7 PCI Express Tunneling 564
 - 13.7.1 PCIe Power Management 564
 - 13.7.1.1 L1 564
 - 13.7.1.2 L2 565
- 13.8 DisplayPort Tunneling 565
 - 13.8.1 AUX Handling 565
 - 13.8.1.1 DP IN Adapter Requirements 565
 - 13.8.1.2 DP OUT Adapter Requirements 565
 - 13.8.2 IRQ Handling 566
 - 13.8.3 Connection Manager Discovery 566
 - 13.8.3.1 TBT3 Connection Manager 566
 - 13.8.3.2 TBT3 Router Discovery 566
 - 13.8.4 Sink Count Read 567
 - 13.8.5 Power States Set 567
 - 13.8.6 DisplayPort Link Training 567
 - 13.8.6.1 DP IN Adapter Requirements 568

13.8.6.2	DP OUT Adapter Requirements	569
13.9	USB3 Functionality	570
13.10	Host-to-Host Tunneling	572
A	Verification of CRC, Scrambling, and FEC Calculations	572
A.1	Transport Layer Packet HEC	572
A.2	Control Packet CRC	572
A.3	Sideband Channel AT Transaction CRC	573
A.4	Scrambler	574
A.5	Logical Layer RS-FEC	574
A.6	USB3 Tunneling CRC	579
A.7	Host Interface Frame CRC	580
A.8	ECC Examples	585
B	Summary of Transport Layer Packets	586
C	Examples of Link Power Management Flows	587
C.1	Entry to Low Power States	587
C.1.1	Successful Entry to CL2 State	587
C.1.2	Successful Entry to CL0s State	588
C.1.3	Rejection to Enter CL2 State	589
C.1.4	Concurrent Requests to Enter Low Power State	589
C.1.5	CL2_REQ Ordered Sets are Not Received	590
C.1.6	CL2_REQ Ordered Sets are Partially Received	591
C.1.7	Error in CL2_ACK Ordered Sets	592
C.1.8	Error in CL_OFF Ordered Sets	593
C.2	Exit from Low Power States	593
C.2.1	Example: Exit from CL0s State	594
C.2.2	Example: Exit from CL2 (or CL1) State	595
D	Serial Time Link Protocol (STLP)	597
D.1	Time Synchronization	597
D.2	Serial Time Link Packet Format	598
D.3	TMU_CLK_OUT and TMU_CLK_IN	601
E	Ingress Buffer Space	602
E.1	Target Bandwidth Buffer Calculation	602
E.1.1	Example for USB3 Tunneling Ingress Buffer Calculation	602
E.2	Ingress Buffers Calculation for DP Main Path	603

Figures

Figure 2-1.	USB4/USB3.2 Dual Bus System Architecture	51
Figure 2-2.	Single-Lane USB4 Link	53
Figure 2-3.	Dual-Lane USB4 Link	53
Figure 2-4.	Example of a USB4-Based Dock	54
Figure 2-5.	USB4 Functional Stack Layers	56
Figure 2-6.	USB4 Port (Lane Adapter), Protocol Adapter and Control Adapter across Functional Layers	57
Figure 2-7.	Example USB4 Physical Topology (No Loop) and Spanning Tree	58
Figure 2-8.	Example USB4 Physical Topology (with Loop) and Spanning Tree	59

Figure 2-9. Paths across a USB4 Fabric 60

Figure 2-10. USB4 Communication by Functional Layer 61

Figure 2-11. Example Control Packet Traversing Several Routers 62

Figure 2-12. Example USB4 Host-to-Host Connections..... 63

Figure 2-13 Example of a USB4 Host with USB3 Tunneling Highlighted 66

Figure 2-14. Example of a USB4 Hub with USB3 Tunneling Highlighted 67

Figure 2-15. Example of a USB4 Peripheral Device with USB3 Tunneling Highlighted 67

Figure 2-16. Protocol Stack for USB3 Tunneling 68

Figure 2-17. Example of a USB4 Fabric with USB3 Tunneling 69

Figure 2-18. Protocol Stacks along a USB3 Tunnel 70

Figure 2-19. Example Topology for DisplayPort Tunneling 70

Figure 2-20. DP IN and OUT Protocol Adapters in LTTTPR Non-Transparent and LTTTPR Transparent Modes..... 71

Figure 2-21. DP IN and OUT Protocol Adapters in Non-LTTTPR Mode 72

Figure 2-22. Protocol Stacks along a DisplayPort Tunneled Path..... 73

Figure 2-23. Example Structure of a USB4 Host with PCIe Tunneling Highlighted..... 74

Figure 2-24. Example USB4 Hub with PCIe Tunneling Highlighted 74

Figure 2-25. Example USB4 Device with PCIe Tunneling Highlighted 75

Figure 2-26. Protocol Stack for PCIe Tunneling 75

Figure 2-27. Example of a USB4 Fabric with PCIe Tunneling..... 76

Figure 2-28. Protocol Stacks along a PCIe Tunnel..... 77

Figure 2-29. Protocol Stacks along a Path between Hosts 78

Figure 2-30. Descriptor Ring and Data Buffers 79

Figure 3-1. Combined Forward-Error-Correction and Pre-Coding Scheme 82

Figure 3-2. Compliance Points Definition 83

Figure 3-3. Examples for AC-Coupling Capacitor Placement 83

Figure 3-4. Jitter Transfer Function 84

Figure 3-5. Reference Receiver Equalization 85

Figure 3-6. Frequency Response of Gen 2 Reference CTLE 86

Figure 3-7. Frequency Response of Gen 3 Reference CTLE 86

Figure 3-8. Router Assembly Transmitter Frequency Variation During Training..... 90

Figure 3-9. Example Transmitter Frequency During Steady-State..... 90

Figure 3-10. TX Differential Return Loss Mask 91

Figure 3-11. TX Common-Mode Return Loss Mask..... 92

Figure 3-12. Transmitter Equalizer Structure 93

Figure 3-13. Transmitter Equalization Frequency Response for Gen 2 Systems 94

Figure 3-14. Transmitter Equalization Frequency Response for Gen 3 Systems 95

Figure 3-15. TX Mask Notations 97

Figure 3-16. RX Differential Return-Loss Mask..... 100

Figure 3-17. RX Common Mode Return-Loss Mask 101

Figure 3-18. Receiver Tolerance Test Topologies..... 102

Figure 3-19. Receiver Tolerance Test Setups 102

Figure 3-20. Captive Device Compliance Test Setup	105
Figure 3-21. Captive Device Receiver Test Setup	112
Figure 3-22. Signaling During Power Management State Exit	114
Figure 3-23. Software Margining Mode Example	115
Figure 3-24. Hardware Margining Flow	116
Figure 3-25. RX Margining Range Requirements	117
Figure 3-26. Optional RX Margining Range Capabilities	118
Figure 4-1. Cable Topologies (Informative)	120
Figure 4-2. Symbol and Bit Order on Sideband Channel	121
Figure 4-3. Propagation of a Broadcast RT Transaction	124
Figure 4-4. Sideband Channel Receive Transaction State Machine	127
Figure 4-5. Overview of Lane Initialization	137
Figure 4-6. Example of Lane Reversal	138
Figure 4-7. Progression of Link Equalization	141
Figure 4-8. The Lane Adapter State Machine	143
Figure 4-9. Training Sub-State Machine	145
Figure 4-10. Lane Bonding Sub-State Machine	153
Figure 4-11. Structure of a CL_WAKE1.X Ordered Set Symbol	157
Figure 4-12. Packet Flow in the Logical Layer	174
Figure 4-13. Byte Transmission Order on Lanes	175
Figure 4-14. Byte Ordering of Transport Layer Packets to the Logical Layer	176
Figure 4-15. Byte Ordering of Idle Packets to the Logical Layer	176
Figure 4-16. Symbol Encoding of Data Symbols	177
Figure 4-17. Symbol Encoding of Ordered Set Symbols	178
Figure 4-18. Bit and Byte Ordering on the Wire – Data Symbol Payload	179
Figure 4-19. Bit and Byte Ordering on the Wire – Ordered Set Symbol Payload	180
Figure 4-20. RS-FEC Data Structures	183
Figure 4-21. Lane Disable of the Upstream Adapter	192
Figure 4-22. Lane Disable Flow	193
Figure 5-1. Convention for Transport Layer Diagrams	202
Figure 5-2. Transport Layer Packet Format	202
Figure 5-3. Idle Packet Contents	205
Figure 5-4. Credit Grant Packet Format	206
Figure 5-5. Path Credit Sync Packet Format	206
Figure 5-6. Shared Buffers Credit Sync Packet Format	207
Figure 5-7. Two Concurrent Data Symbols Example	209
Figure 5-8. Routing Table	212
Figure 5-9. Routing Example	214
Figure 5-10. Example of Connectivity for USB3 Adapters	215
Figure 5-11. Egress Adapter Scheduler	224
Figure 6-1. Example of TopologyID Assignment	228
Figure 6-2. Host Router State Machine	229

Figure 6-3. Device Router State Machine	229
Figure 6-4 Control Packet Format.....	231
Figure 6-5. Route String Format	232
Figure 6-6. Read Request.....	233
Figure 6-7. Read Response.....	235
Figure 6-8. Write Request.....	236
Figure 6-9. Write Response	237
Figure 6-10. Notification Packet.....	238
Figure 6-11. Notification Acknowledgement Packet	239
Figure 6-12. Hot Plug Event Packet.....	240
Figure 6-13. Inter-Domain Request.....	241
Figure 6-14. Inter-Domain Response	242
Figure 6-15. Example of Control Packet Routing Between Domains.....	244
Figure 7-1. Time Synchronization Hierarchy within a Domain (Informative).....	254
Figure 7-2. Local Time Counter Format	255
Figure 7-3. <i>TimeOffsetFromHR</i> Register Format.....	255
Figure 7-4. <i>FreqOffsetFromHR</i> Register Format	256
Figure 7-5. <i>Time Measurement Model for 64/66b Encoding</i>	256
Figure 7-6. Bi-Directional Time Sync Handshake.....	258
Figure 7-7. UFP State Machine for Bi-Directional Time Sync Handshake (Recommended).....	260
Figure 7-8. DFP State Machine for Bi-Directional Time Sync Handshake (Recommended).....	261
Figure 7-9. Uni-Directional Time Sync Handshake.....	262
Figure 7-10. DFP State Machine for Uni-Directional Time Sync Handshake (Recommended).....	263
Figure 7-11. UFP State Machine for Uni-Directional Time Sync Handshake (Recommended).....	264
Figure 7-12. Inter-Domain Time Sync Protocol (Informative).....	266
Figure 7-13. Follow-Up Packet Format	267
Figure 7-14. Inter-Domain Time Stamp Packet Format	269
Figure 7-15. Inter-Domain Topology (Informative).....	271
Figure 7-16. Filter Attenuation	277
Figure 7-17. Dynamic Noise Types	278
Figure 7-18. Standalone Measurement Points	279
Figure 7-19. Time Events	280
Figure 7-20. Measuring Method.....	280
Figure 8-1. Structure of the Router Configuration Space.....	285
Figure 8-2. UUID Format	293
Figure 8-3. Structure of the TMU Router Configuration Capability.....	294
Figure 8-4. Structure of a Vendor Specific Capability.....	301
Figure 8-5. Structure of a Vendor Specific Extended Capability	301
Figure 8-6. Structure of the Adapter Configuration Space.....	303

Figure 8-7. Basic Configuration Registers of the Adapter Configuration Space	304
Figure 8-8. Structure of the TMU Adapter Configuration Capability	308
Figure 8-9. Structure of the Lane Adapter Configuration Capability.....	311
Figure 8-10. Structure of USB4 Port Capability	314
Figure 8-11. Structure of USB3 Adapter Configuration Capability	320
Figure 8-12. Structure of DP IN Adapter Configuration Capability	323
Figure 8-13. Structure of DP OUT Adapter Configuration Capability	330
Figure 8-14. Structure of PCIe Adapter Configuration Capability.....	335
Figure 8-15. Structure of Path 0 Entry Configuration Space.....	336
Figure 8-16. Structure of Path Entry 'n' in Path Configuration Space at Lane Adapter	337
Figure 8-17. Structure of Path Entry 'n' in Path Configuration Space of a Protocol Adapter	339
Figure 8-18. Configuration of a Path.....	342
Figure 8-19. Structure of the Counters Configuration Space	343
Figure 8-20. Get Capabilities Operation Data Response for Capability Index 0	356
Figure 9-1. LFPS Tunneled Packet Format	386
Figure 9-2. Ordered Set Tunneled Packet Format.....	389
Figure 9-3. Link Command Tunneled Packet Format	390
Figure 9-4. Tunneled ITP Packet Format	391
Figure 9-5. Structure of an Unsegmented USB3 Data Packet	392
Figure 9-6. Segmentation of a USB3 Data Packet.....	393
Figure 9-7. Bandwidth Negotiation by the Internal Host Controller	395
Figure 9-8. Bandwidth Negotiation by the Connection Manager	396
Figure 10-1. DP Adapter Protocol Stack Layers	401
Figure 10-2. DP Adapter State Machine.....	402
Figure 10-3. DP Adapter Path Directions	405
Figure 10-4. DP Stream Resource Mapping Examples.....	407
Figure 10-5. AUX Channel Framing	409
Figure 10-6. AUX Packet Format	409
Figure 10-7. AUX Packet Example.....	410
Figure 10-8. HPD Packet Format.....	411
Figure 10-9. SET_CONFIG Packet Format	411
Figure 10-10. ACK Packet Format	415
Figure 10-11. Power On to HPD Sequence.....	416
Figure 10-12. Target AUX Transaction Flow	421
Figure 10-13. Snoop AUX Transaction Flow	422
Figure 10-14. DP IN Adapter AUX Handling State Machine	424
Figure 10-15. AUX Timing	427
Figure 10-16. Example DP Source Discovery Sequence	429
Figure 10-17. DP Link Training – LTPR CR_DONE.....	434
Figure 10-18. DP Link Training – LTPR – EQ Phase.....	435
Figure 10-19. DP Link Training – DPRX – CR_DONE Phase	436

Figure 10-20. DP Link Training – DPRX – EQ Phase	437
Figure 10-21. Main-Link SST Stream to Tunneled Packets	442
Figure 10-22. TU Set Packing for a 4-Lane Main-Link.....	443
Figure 10-23. TU Set Packing for a 2-Lane Main-Link.....	444
Figure 10-24. TU Set Packing for a 1-Lane Main-Link.....	445
Figure 10-25. EOC Symbol Packing Example	446
Figure 10-26. TU Set Header Format.....	446
Figure 10-27. Video Data Packet Format	448
Figure 10-28. MSA Header Format	448
Figure 10-29. MSA Packet Format.....	449
Figure 10-30. Blank Start Header Format	450
Figure 10-31. Blank Start Packet Format	451
Figure 10-32. Secondary TU Header Format	452
Figure 10-33. Tunneled Secondary Data Path Format	454
Figure 10-34. Secondary Data to Secondary TUs Examples	455
Figure 10-35. Non-Secondary Data Packet Fill Count Examples	457
Figure 10-36. Secondary Data Packet Fill Count Examples	458
Figure 10-37. Sub-MTP TU Structures.....	459
Figure 10-38. Sub-MTP TU Header Format	459
Figure 10-39. Sub-MTP TU 4-Lane Mapping.....	463
Figure 10-40. Sub-MTP TU 2-Lane Mapping.....	463
Figure 10-41. Sub-MTP TU 1-Lane Mapping.....	464
Figure 10-42. Unallocated Sequence, 1-Lane	464
Figure 10-43. Shifting SR, 1-Lane	465
Figure 10-44. ACT Sequence, 1-Lane.....	465
Figure 10-45. SF and VCPF Sequence 4-Lane	466
Figure 10-46. MST Packet Format	467
Figure 10-47. FEC_DECODE Packet Format.....	469
Figure 10-48. FEC Command Format	469
Figure 10-49. Active Video to Blanking	470
Figure 10-50: Adjust PLL Event Occurrence	472
Figure 10-51. Lifetime Counter Format	473
Figure 10-52. Filtered Lifetime Counter Logic Concept	474
Figure 10-53. DP Clock Sync Packet Format	475
Figure 10-54. DP Clock Sync Packet Example.....	476
Figure 10-55: DP IN Adapter Interaction with DPTX During DP BW Allocation	480
Figure 10-56: DP BW Allocation Interaction with Connection Manager.....	482
Figure 11-1. Tunneled PCIe TLP	486
Figure 11-2. Tunneled PTM Example.....	487
Figure 11-3. Tunneled PCIe DLLP	488
Figure 11-4. PCIe DLLP and TLP Tunneled Packet Payload	489
Figure 11-5: Example of PTM Relationships	496

Figure 11-6: PTM ResponseD Message.....	497
Figure 11-7: TMU to PTM Parameters Illustration	499
Figure 12-1. Segmentation of a Frame	504
Figure 12-2. Example of Forwarding an E2E Credit Grant Packet	506
Figure 12-3. E2E Credit Grant / Sync Packet Format	506
Figure 12-4. Transmit Descriptor Structure	510
Figure 12-5. Receive Descriptor Structure (Posted by Host)	513
Figure 12-6. Receive Descriptor Structure (Posted by Host Interface Adapter Layer).....	514
Figure 12-7. Interrupt Moderation	518
Figure 12-8. Structure of the Interrupt Status Registers	527
Figure 12-9. Structure of the Interrupt Vector Allocation Registers (IVAR)	530
Figure 12-10. Structure of the Receive Ring Vacancy Control Register.....	531
Figure 13-1. Bidirectional Re-timer Topology	533
Figure 13-2. Bounce Mechanism	535
Figure 13-3. Structure of the Vendor Specific 1 Capability	548
Figure 13-4. Structure of the Vendor Specific 3 Capability	553
Figure 13-5. Structure of the Vendor Specific 4 Capability	555
Figure 13-6. Structure of the Vendor Specific Extended 6 Capability	556
Figure 13-7. Example Vendor Specific Extended 6 Capability	557
Figure 13-8. Structure of the Common Region	557
Figure 13-9. Structure of a USB4 Port Region	559
Figure 13-10. DP IN Adapter Link Training State Machine	568
Figure 13-11. DP OUT Adapter Link Training State Machine	569
Figure 13-12. Example of a USB4-Based Dock with an Internal Host Controller.....	571
Figure A-1. Examples of Transport Layer Packet HEC Calculation.....	572
Figure A-2. Examples of USB3 Tunneling Calculations	580
Figure A-3. Example of a Credit Grant Record	585
Figure A-4. Example of an HPD Packet Payload	585
Figure A-5. Example of a SET_CONFIG Packet Payload	585
Figure A-6. Example of TU Set Header	586
Figure A-7. Example of a Sub-MTP TU Header.....	586
Figure A-8. Example of an E2E Credit Sync Packet Payload	586
Figure C-1. Successful Entry to CL2 State.....	588
Figure C-2. Successful Entry to CL0s State	588
Figure C-3. Failure to Enter CL2 State.....	589
Figure C-4. Concurrent Requests to Enter CL2 State.....	590
Figure C-5. Error in CL2_REQ Ordered Sets	590
Figure C-6. CL2_REQ Ordered Sets are Partially Received.....	591
Figure C-7. Errors in CL2_REQ Reception and CL_NACK Response.....	592
Figure C-8. Error in CL2_ACK Ordered Sets.....	592
Figure C-9. Error in CL_OFF Ordered Sets.....	593
Figure C-10. CL0s Exit	594

Figure C-11. CL2 (or CL1) Exit 596

Figure D-1. Pulse Width Modulation 598

Figure D-2. Serial Time Link Packet Structure 598

Figure D-3. Serial Time Link Packet Format 599

Figure D-4. TMU_CLK_OUT and TMU_CLK_IN Parameters 600

Figure D-5. Definition of TCO_{JTR} 601

Tables

Table 1-1. Rsvd Value and Field Handling 44

Table 3-1. SBTX and SBRX Specifications 81

Table 3-2. Electrical Compliance Test Points 83

Table 3-3. Transmitter Specifications Applied for All Speeds (at TP2) 88

Table 3-4. Transmitter Frequency Variation Limits During Link Training Before Obtaining Steady-State 89

Table 3-5. Transmit Equalization Presets 93

Table 3-6. Gen 2 Transmitter Specifications at TP2 95

Table 3-7. Gen 2 Transmitter Specifications at TP3 96

Table 3-8. Gen 3 Transmitter Specifications at TP2 97

Table 3-9. Gen 3 Transmitter Specifications at TP3 98

Table 3-10. Common Receiver Specifications at TP3' 98

Table 3-11. Stressed Signal for Gen 2 Receiver Compliance Testing 103

Table 3-12. Stressed Signal for Gen 3 Receiver Compliance Testing 103

Table 3-13. Wireless Band Conducted Limits (at TP3) 105

Table 3-14. Captive Device Transmitter Specifications at TP3 Applied for All Speeds 106

Table 3-15. Captive Device Transmitter Specifications at TP3 for Gen 2 Systems 107

Table 3-16. Captive Device Transmitter Specifications at TP3 for Gen 3 Systems 108

Table 3-17. Common Receiver Specifications at TP2 109

Table 3-18. Stressed Receiver Conditions for Gen 2 Captive Device Compliance Testing (at TP2) 111

Table 3-19. Stressed Receiver Conditions for Gen 3 Captive Device Compliance Testing (at TP2) 111

Table 3-20. LFPS Electrical Specifications 113

Table 3-21. RX Margining Voltage and Timing Requirements 116

Table 3-22. Optional RX Margining Voltage Capabilities 118

Table 4-1. LT Transaction Format 121

Table 4-2. LSE Symbol 121

Table 4-3. AT Transaction Format 122

Table 4-4. STX Symbol for an AT Transaction 122

Table 4-5. Broadcast RT Transaction Format 123

Table 4-6. STX Symbol for a Broadcast RT Transaction 123

Table 4-7. Contents of Byte 2 in a Broadcast RT Transaction 123

Table 4-8. Contents of Byte 3 in a Broadcast RT Transaction 124

Table 4-9. Addressed RT Transaction Format.....	124
Table 4-10. STX Symbol for an Addressed RT Transaction	125
Table 4-11. Sideband Channel Receive Transaction State Machine.....	128
Table 4-12. AT/RT Command Data Symbols.....	129
Table 4-13. AT/RT Response Data Symbols.....	129
Table 4-14. Processing of a Received AT/RT Command.....	129
Table 4-15. SB Registers.....	132
Table 4-16. SB Register Fields Access Types	132
Table 4-17. SB Register Fields	132
Table 4-18. Lane Attributes	139
Table 4-19. Transmitter Behavior in Training Sub-states	146
Table 4-20. Training Sub-State Machine Transitions.....	146
Table 4-21. SLOS1 (64b/66b Encoding).....	148
Table 4-22. SLOS2 (64b/66b Encoding).....	149
Table 4-23. SLOS1 (128b/132b Encoding).....	150
Table 4-24. SLOS2 (128b/132b Encoding).....	151
Table 4-25. TS1 and TS2 Ordered Sets	151
Table 4-26. Transmitter Behavior in Bonding Sub-States	153
Table 4-27. Lane Bonding Sub-State Machine Transitions	153
Table 4-28. CL2_REQ Ordered Set	154
Table 4-29. CL1_REQ Ordered Set	155
Table 4-30. CL2_ACK Ordered Set.....	155
Table 4-31. CL1_ACK Ordered Set.....	155
Table 4-32. CL0s_ACK Ordered Set.....	155
Table 4-33. CL_NACK Ordered Set	155
Table 4-34. CL_OFF Ordered Set.....	156
Table 4-35. Ordered Set Structure.....	177
Table 4-36. Scrambling Rules.....	180
Table 4-37. START_RS_FEC Bit Sequence.....	184
Table 4-38. Error Cases and Impact on Logical Layer.....	185
Table 4-39. SKIP Ordered Set.....	186
Table 4-40. De-Skew Ordered Set	187
Table 4-41. TSN Ordered Set	194
Table 4-42. Router State Retained During Sleep	196
Table 4-43. Wake Events	197
Table 4-44. Logical Layer Timing Parameters.....	198
Table 5-1. Transport Layer Packet Header Format	202
Table 5-2. Credit Grant Packet Header.....	205
Table 5-3. Credit Grant Record Format.....	205
Table 5-4. Path Credit Sync Packet Header.....	206
Table 5-5. Path Credit Sync Packet Payload	206
Table 5-6. Shared Buffers Credit Sync Packet Header.....	207

Table 5-7. Shared Buffers Credit Sync Packet Payload	207
Table 5-8. Transport Layer Behavior per Link State	207
Table 5-9. Minimum Transport Layer Header Gap Requirements	208
Table 5-10. Ingress Adapter Flow Control Schemes	216
Table 5-11. Buffer Allocation Parameters	217
Table 5-12. Egress Adapter Flow Control Schemes	221
Table 5-13. Transport Layer Timing Parameters	226
Table 6-1. Control Packet Payload	231
Table 6-2. Content of a Read Request.....	232
Table 6-3. Content of a Read Response	234
Table 6-4. Content of a Write Request.....	235
Table 6-5. Content of a Write Response	237
Table 6-6. Content of a Notification Packet.....	238
Table 6-7. Content of a Notification Acknowledgement Packet.....	239
Table 6-8. Content of a Hot Plug Event Packet.....	239
Table 6-9. Content of an Inter-Domain Request.....	240
Table 6-10. Content of an Inter-Domain Response	241
Table 6-11. Notification Events.....	246
Table 6-12. Configuration Layer Timing Parameters	252
Table 7-1. Bidirectional UFP Timeout Values.....	259
Table 7-2. Bidirectional DFP Timeout Values.....	260
Table 7-3. Follow-Up Packet Payload	267
Table 7-4. Inter-Domain Time Stamp Packet Payload	269
Table 7-5. Definition of Variables.....	270
Table 7-6. Index Notation	270
Table 7-7. Time Synchronization Accuracy Parameters	281
Table 8-1. Configuration Register Fields Access Types	283
Table 8-2. List of Router Configuration Capabilities	285
Table 8-3. Router Configuration Space Basic Attributes	286
Table 8-4. TMU Router Configuration Capability Fields.....	295
Table 8-5. Locked Registers Groups.....	300
Table 8-6. Vendor Specific Capability Fields.....	301
Table 8-7. Vendor Specific Extended Capability Fields	302
Table 8-8. List of Adapter Configuration Capabilities	303
Table 8-9. Adapter Configuration Space Basic Attributes.....	304
Table 8-10. Adapter Types	308
Table 8-11. TMU Adapter Configuration Capability Fields.....	309
Table 8-12. Contents of the Lane Adapter Configuration Capability	311
Table 8-13. USB4 Port Capability Fields.....	315
Table 8-14. USB3 Adapter Configuration Capability Fields	320
Table 8-15. DP IN Adapter Configuration Capability Fields	323
Table 8-16. DP OUT Adapter Configuration Capability Fields	330

Table 8-17. PCIe Adapter Configuration Capability Fields.....	335
Table 8-18. Contents of Path 0 Entry.....	337
Table 8-19. Contents of Path Entry in Path Configuration Space at Lane Adapter.....	338
Table 8-20. Contents of Path Entry in Path Configuration Space of a Protocol Adapter	339
Table 8-21. Counter Set Fields.....	343
Table 8-22. List of Router Operations.....	345
Table 8-23. Query DP Resource Availability Operation Metadata.....	346
Table 8-24. Query DP Resource Availability Completion Metadata and Status.....	346
Table 8-25. Allocate DP Resource Operation Metadata.....	346
Table 8-26. Allocate DP Resource Completion Metadata and Status.....	347
Table 8-27. De-Allocate DP Resource Operation Metadata.....	347
Table 8-28. De-Allocate DP Resource Completion Metadata and Status.....	347
Table 8-29. NVM Set Offset Operation Metadata.....	348
Table 8-30. NVM Set Offset Completion Metadata and Status.....	349
Table 8-31. NVM Write Operation Data.....	349
Table 8-32. NVM Write Completion Status.....	350
Table 8-33. NVM Authenticate Write Completion Status.....	350
Table 8-34. NVM Read Operation Metadata.....	351
Table 8-35. NVM Read Router Completion Metadata.....	351
Table 8-36. NVM Read Router Completion Data.....	351
Table 8-37. DROM Read Router Operation Metadata.....	352
Table 8-38. DROM Read Router Completion Metadata and Status.....	352
Table 8-39. DROM Read Router Completion Data.....	352
Table 8-40. Get NVM Sector Size Completion Metadata and Status.....	353
Table 8-41. Get PCIe Downstream Entry Mapping Completion Metadata and Status.....	354
Table 8-42. Get PCIe Downstream Entry Mapping Completion Data.....	354
Table 8-43. Get Capabilities Operation Metadata.....	355
Table 8-44. Get Capabilities Operation Completion Metadata and Status.....	355
Table 8-45. List of Capabilities.....	356
Table 8-46. Set Capabilities Operation Metadata.....	357
Table 8-47. List of Capabilities.....	357
Table 8-48. Set Capabilities Operation Completion Status.....	357
Table 8-49. Buffer Allocation Request Router Completion Status and Metadata.....	358
Table 8-50. Buffer Allocation Request Router Completion Data DW Structure.....	358
Table 8-51. Get Container-ID Router Completion Status.....	359
Table 8-52. Get Container-ID Router Completion Data DW Structure.....	359
Table 8-53. Block Sideband Port Operation Completion Status.....	359
Table 8-54. Unblock Sideband Port Operation Completion Status.....	360
Table 8-55. List of Port Operations.....	362
Table 8-56. SET_TX_COMPLIANCE Operation Metadata.....	365
Table 8-57. SET_RX_COMPLIANCE Operation Metadata.....	367
Table 8-58. START_BER_TEST Operation Metadata.....	368

Table 8-59. END_BER_TEST Operation Metadata	368
Table 8-60. END_BER_TEST Completion Data	369
Table 8-61. END_BURST_TEST Operation Metadata	370
Table 8-62. END_BURST_TEST Completion Data	370
Table 8-63. READ_BURST_TEST Operation Metadata	371
Table 8-64. READ_BURST_TEST Completion Data	371
Table 8-65. ENTER_EI_TEST Operation Metadata	372
Table 8-66. ROUTER_OFFLINE_MODE Operation Metadata	372
Table 8-67. READ_LANE_MARGIN_CAP Completion Data	374
Table 8-68. RUN_HW_LANE_MARGINING Operation Metadata	376
Table 8-69. Contents Selection for RUN_HW_LANE_MARGINING Completion Data	376
Table 8-70. RUN_HW_LANE_MARGINING Completion Data	377
Table 8-71. RUN_SW_LANE_MARGINING Operation Metadata	380
Table 8-72. RUN_SW_LANE_MARGINING Completion Data	381
Table 8-73. READ_SW_MARGIN_ERR Completion Metadata	382
Table 9-1. PDF Values for USB3 Tunneling Packets	385
Table 9-2. LFPS Tunneled Packet Payload	385
Table 9-3. Ordered Set Tunneled Packet Payload	389
Table 9-4. USB3 Adapter Timing Parameters	396
Table 9-5. USB3 Timers and Timeout Values	397
Table 10-1. DisplayPort Modes Of Operation Over DisplayPort Tunneling	404
Table 10-2. Recommended Path Parameters	405
Table 10-3. DP Stream Resource Allocation Commands	407
Table 10-4. AUX Path Tunneled Packet Types	408
Table 10-5. Main-Link Path Tunneled Packet Types	408
Table 10-6. SET_CONFIG Message	413
Table 10-7. DisplayPort Required Bandwidth (Gbps)	418
Table 10-8. HPD Event Propagation Delay Requirement	420
Table 10-9. DPCD Internal Addresses	423
Table 10-10. DP IN Adapter AUX Handling State Machine	424
Table 10-11. AUX Delay Requirements	427
Table 10-12. Aggregated DisplayPort Capabilities	427
Table 10-13. DP Adapter Operation Mode Transitions	430
Table 10-14. Blank Start Control Link Symbols Mapping	451
Table 10-15. Fill Count Prev_Factor	456
Table 10-16. Slot Zero Sub-MTP TU Header Types	459
Table 10-17. Non-Slot Zero Sub-MTP TU Header Types	460
Table 10-18. Slot Zero Sub-MTP TU Packet Rules	460
Table 10-19. Non- Zero Slot Sub-MTP TU Packet Rules	461
Table 10-20. K-Code Index Nibble in Parameter Byte	462
Table 10-21. FLC Calculation Examples	474
Table 10-22. DPCD Bandwidth Allocation Registers	478

Table 10-23. DP IN Adapter Configuration Space Mapping	479
Table 10-24. DP Adapter Timing Parameters	483
Table 11-1. PDF Values for PCIe Tunneled Packets	485
Table 11-2. TLP Pre-Header	487
Table 11-3. TS Ordered Sets	490
Table 11-4. Electrical Idle Ordered Sets	490
Table 11-5. PCIe Link Timer Ranges	495
Table 11-6. PCIe Adapter Timing Parameters	500
Table 12-1. Frame Mode Tunneled Packet Format	504
Table 12-2. E2E Credit Grant Packet Header	506
Table 12-3. E2E Credit Grant Packet Payload	506
Table 12-4. E2E Credit Sync Packet Header	507
Table 12-5. E2E Credit Sync Packet Payload	507
Table 12-6. Transmit Descriptor Contents	510
Table 12-7. Receive Descriptor Contents (Posted by Host)	513
Table 12-8. Receive Descriptor Contents (Posted by Host Interface Adapter Layer)	514
Table 12-9. Access Types	519
Table 12-10. Summary of Memory BAR Registers	519
Table 12-11. Host Interface Capabilities Register	520
Table 12-12. Host Interface Reset Register	521
Table 12-13. Host Interface Control Register	521
Table 12-14. Host Interface CL1 Enable	521
Table 12-15. Host Interface CL2 Enable	521
Table 12-16. Base Address Low Register	522
Table 12-17. Base Address High Register	522
Table 12-18. Producer and Consumer Indexes Register	522
Table 12-19. Ring Size Register	523
Table 12-20. Ring Control Register	524
Table 12-21. Base Address Low Register	524
Table 12-22. Base Address High Register	524
Table 12-23. Producer and Consumer Indexes Register	525
Table 12-24. Ring Size Register	525
Table 12-25. Ring Control Register	526
Table 12-26. PDF Bit Masks Register	527
Table 12-27. Interrupt Status	528
Table 12-28. Interrupt Status Clear	528
Table 12-29. Interrupt Status Set	528
Table 12-30. Interrupt Mask	529
Table 12-31. Interrupt Mask Clear	529
Table 12-32. Interrupt Mask Set	529
Table 12-33. Interrupt Throttling Rate (ITR)	529
Table 12-34. Interrupt Vector Allocation (IVAR)	530

Table 12-35. Receive Ring Vacancy Control.....	531
Table 12-36. Receive Ring Vacancy Status	531
Table 12-37. Host Interface Timing Parameters	532
Table 13-1. Thunderbolt 3 Parameters	532
Table 13-2. TBT3 LT Transaction Types.....	534
Table 13-3. STX Symbol.....	534
Table 13-4. Contents of Byte 2 in a Broadcast RT Transaction	535
Table 13-5. SB Registers.....	536
Table 13-6. SB Registers Fields	536
Table 13-7. Lane Attributes	537
Table 13-8. TS1 and TS2 Ordered Set Structure	542
Table 13-9. Router State Retained During Sleep	543
Table 13-10. Logical Layer Timing Parameters	544
Table 13-11. Buffer Allocation by TBT3 Connection Manager	545
Table 13-12. Configuration Register Fields Access Types	548
Table 13-13. List of TBT3-Compatible Router Configuration Capabilities	548
Table 13-14. Vendor Specific 1 Capability Fields	549
Table 13-15. Vendor Specific 3 Capability Fields	553
Table 13-16. Vendor Specific 4 Capability Fields	555
Table 13-17. Common Region Fields.....	557
Table 13-18. USB4 Port Region Fields	559
Table 13-19. Adapter Configuration Space Basic Attributes	563
Table 13-20. USB4 Port Capability Fields.....	564
Table 13-21. DP IN Adapter Link Training State Machine Transition Table	568
Table 13-22. DP OUT Adapter Link Training State Machine Transition Table.....	569
Table A-1. Examples of Control Packet CRC Calculation.....	573
Table A-2. Example of a Read Command	573
Table A-3. Example of a Write Command	573
Table A-4. Examples of Scrambler Computations	574
Table A-5. Example 1 – RS-FEC Block.....	574
Table A-6. Example 2 – RS-FEC Block.....	576
Table A-7. Example 3 – RS-FEC Block.....	577
Table A-8. Example 4 – RS-FEC Block.....	578
Table B-1. Transport Layer Packet Summary.....	586
Table D-1. Serial Time Link Packet Fields	599
Table D-2. TMU_CLK_OUT and TMU_CLK_IN Specifications.....	601

1 Introduction

1.1 Scope of the Document

The specification is primarily targeted at peripheral developers and platform/adapter developers, but provides valuable information for platform operating system/BIOS/device driver, adapter independent hardware vendors/independent software vendors, and system OEMs. This specification can be used for developing new products and associated software.

1.2 USB Product Compliance

Adopters of the USB4™ specification have signed the USB4 Adopters Agreement, which provides them access to a royalty-free reasonable and nondiscriminatory (RAND) license from the Promoters and other Adopters to certain intellectual property contained in products that are compliant with the USB4 specification. Adopters can demonstrate compliance with the specification through the testing program as defined by the USB Implementers Forum (USB-IF). Products that demonstrate compliance with the specification will be granted certain rights to use the USB-IF logos as defined in the logo license.

1.3 Document Organization

Chapters 1 and 2 provide an overview for all readers, while Chapters 3 through 13 contain detailed technical information defining USB4.

1.4 Design Goals

USB 3.1 and USB 3.2 were evolutionary steps to increase bandwidth. The goal for USB4 remains the same with the added goal of helping to converge the USB Type-C® connector ecosystem and minimize end-user confusion. Several key design areas to meet this goal are listed below:

- Offer display, data, and load/store functionality over a single USB Type-C connector.
- Retain compatibility with existing ecosystem of USB and Thunderbolt™ products.
- Define Port Capabilities for predictable and consistent user experience.
- Provide increased host flexibility to configure bandwidth, power management, and other performance-related parameters for system needs.

1.5 Related Documents

Universal Serial Bus 3.2 Specification, Revision 1.0, September 22, 2017 (USB 3.2 Specification)

USB Type-C® Cable and Connector Specification, Release 2.0 (USB Type-C Specification)

USB 3.0 Jitter Budgeting white paper (USB Jitter Paper)

Universal Serial Bus Power Delivery Specification, Release 3.0, Version 2.0, August 2019 (USB PD Specification)

PCI Express® Base Specification, Revision 4, Version 1, September 27, 2017 (PCIe Specification)

VESA DisplayPort™ Standard, Revision 1.2a, May 2012 (DisplayPort 1.2a Specification)

VESA DisplayPort™ Standard, Revision 1.4a, April 19, 2018 (DisplayPort 1.4a Specification)

VESA DisplayPort™ 1.4a PHY Layer Compliance Test Specification, Revision 1.0, 27 July, 2018 (DisplayPort 1.4a PHY CTS)

VESA DisplayPort™ Alt Mode on USB Type-C Standard, Revision 1.0b, November 03, 2017 (DisplayPort Alt Mode Specification)

eXtensible Host Controller Interface for Universal Serial Bus, Revision 1.1 (xHCI Specification)

USB4 Connection Manager (CM) Guide, Revision 1.0, [to be published] – (Connection Manager Guide)

USB4 Re-Timer Specification, [to be published] – (USB4 Re-Timer Specification)

USB4 Device ROM (DROM) Specification, Revision 1.0, [to be published] – (USB4 DROM Specification)

USB4 Inter-Domain Specification, Revision 1.0, [to be published] – (USB4 Inter-Domain Specification)

HDCP on DisplayPort™ Specification, Revision 2.3, January 22, 2019 (HDCP Specification)

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

INTERFACES DE BUS UNIVERSEL EN SÉRIE POUR LES DONNÉES ET L'ALIMENTATION ÉLECTRIQUE –

Partie 4-1: Spécification du bus universel en série 4™

AVANT-PROPOS

- 1) La Commission Électrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. À cet effet, l'IEC – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de l'IEC"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications; l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de l'IEC peuvent faire l'objet de droits de brevet. L'IEC ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets.

La Norme internationale IEC 62680-4-1 a été établie par le domaine technique 18: Systèmes multimédias domestiques et applications pour réseaux d'utilisateurs finaux, du comité d'études 100 de l'IEC: Systèmes et équipements audio, vidéo et services de données.

Le texte de la présente norme a été établi par l'USB Implementers Forum (USB-IF). Les règles structurelles et éditoriales utilisées dans la présente publication reflètent les pratiques en vigueur au sein de l'organisme responsable de sa soumission.

La présente version bilingue (2023-03) correspond à la version anglaise monolingue publiée en 2022-10.

La version française de cette norme n'a pas été soumise au vote.

Ce document a été rédigé selon les Directives ISO/IEC, Partie 2.

Le comité a décidé que le contenu de ce document ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous "<http://webstore.iec.ch>" dans les données relatives au document recherché. À cette date, le document sera

- reconduit,
- supprimé,
- remplacé par une édition révisée, ou
- amendé.

IMPORTANT – Le logo "colour inside" qui se trouve sur la page de couverture de ce document indique qu'il contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer ce document en utilisant une imprimante couleur.

INTRODUCTION

La série IEC 62680 repose sur une série de spécifications qui ont été développées à l'origine par l'USB Implementers Forum (USB-IF). Ces spécifications ont été soumises à l'IEC dans le cadre d'un accord particulier conclu entre l'IEC et l'USB-IF.

La présente norme correspond à la publication de l'USB-IF, Spécification USB4™, Version 1.0, avec errata et ECN au 19 mai 2021.

L'USB Implementers Forum, Inc. (USB-IF) est un organisme à but non lucratif fondé par le groupe de sociétés qui a développé la spécification du bus universel en série. L'USB-IF a été créé pour fournir une plateforme de soutien et de forum pour le progrès et l'adoption de la technologie du bus universel en série. Le forum facilite le développement de périphériques (appareils) USB compatibles et de haute qualité et promeut les avantages de la technologie USB et la qualité des produits qui ont été validés par des essais de conformité.

TOUTES LES SPÉCIFICATIONS USB VOUS SONT FOURNIES "EN L'ÉTAT", SANS GARANTIE D'AUCUNE SORTE, Y COMPRIS TOUTE GARANTIE DE QUALITÉ MARCHANDE, DE NON-VIOLATION OU D'ADÉQUATION À UN USAGE PARTICULIER. L'USB IMPLEMENTERS FORUM ET LES AUTEURS DE L'ENSEMBLE DES SPÉCIFICATIONS USB DÉCLINENT TOUTE RESPONSABILITÉ, Y COMPRIS TOUTE RESPONSABILITÉ RELATIVE À LA VIOLATION DE DROITS DE PROPRIÉTÉ, EN CE QUI CONCERNE L'UTILISATION OU LA MISE EN ŒUVRE DES INFORMATIONS CONTENUES DANS LA PRÉSENTE SPÉCIFICATION.

LA MISE À DISPOSITION D'UNE SPÉCIFICATION USB, QUELLE QU'ELLE SOIT, N'IMPLIQUE L'OCTROI D'AUCUNE LICENCE, EXPRESSE OU IMPLICITE, PAR PERCLUSION OU AUTRE, SUR AUCUN DROIT DE PROPRIÉTÉ INTELLECTUELLE.

La conclusion des accords des adoptants de l'USB peut toutefois permettre à une société signataire de participer à un accord de licence réciproque RAND-Z pour les produits conformes. Pour plus d'informations, se rendre sur:

<https://www.usb.org/documents>

L'IEC NE PREND PAS POSITION SUR LA QUESTION DE SAVOIR S'IL VAUT LA PEINE QUE VOUS CONCLUIEZ UN QUELCONQUE ACCORD USB ADOPTERS AGREEMENT OU QUE VOUS PARTICIPIEZ À L'USB IMPLEMENTERS FORUM.

Spécification du bus universel en série 4 (USB4™)

Apple Inc.

HP Inc.

Intel Corporation

Microsoft Corporation

Renesas Corporation

STMicroelectronics

Texas Instruments

Version 1.0 avec errata et ECN au 19 mai 2021

Mai 2021

Historique des versions

Version	Commentaires	Date de publication
1.0	Première version	Août 2019
1.0 avec errata et ECN au 4 mai 2020	Inclut les errata et ECN au 4 mai 2020 dans le texte de la spécification.	Juin 2020
1.0 avec errata et ECN au 15 octobre 2020	Inclut les errata et ECN au 15 octobre 2020 dans le texte de la spécification.	Octobre 2020
1.0 avec errata et ECN au 19 mai 2021	Inclut les errata et ECN au 19 mai 2021 dans le texte de la spécification.	Mai 2021

NOTE: Les Adoptants ne peuvent utiliser la présente Spécification USB que pour mettre en œuvre une fonctionnalité USB ou tierce comme cela est expressément décrit dans la présente Spécification; toutes les autres utilisations sont interdites.

LICENCE LIMITÉE DE DROITS D'AUTEUR: Les Promoteurs délivrent une licence conditionnelle de droits d'auteur sous les droits inclus dans la présente Spécification USB afin d'utiliser et de reproduire la Spécification dans le seul but, et uniquement si nécessaire, d'évaluer la pertinence de la mise en œuvre de la Spécification avec des produits conformes à la spécification. Nonobstant ce qui précède, l'utilisation de la Spécification en vue de déposer ou de modifier une demande de brevet relative à la Spécification ou à des produits conformes USB n'est pas autorisée. Hormis cette licence explicite de droits d'auteur, aucun autre droit ou licence n'est accordé, ce sans limitation des licences de brevets. Pour obtenir d'autres licences de propriété intellectuelle ou des engagements concernant les droits associés à la Spécification, une partie doit exécuter l'accord des adoptants de l'USB. **NOTE:** En utilisant la Spécification, vous acceptez les termes de cette licence en votre nom et, si vous le faites en qualité d'employé, au nom de votre employeur.

DÉNI DE RESPONSABILITÉ CONCERNANT LA PROPRIÉTÉ INTELLECTUELLE

LA PRÉSENTE SPÉCIFICATION VOUS EST FOURNIE "EN L'ÉTAT", SANS GARANTIE D'AUCUNE SORTE, EN CE COMPRIS TOUTE GARANTIE DE QUALITÉ MARCHANDE, DE NON-VIOLATION OU D'ADAPTATION À UN USAGE PARTICULIER. LES AUTEURS DE LA PRÉSENTE SPÉCIFICATION DÉCLINENT TOUTE RESPONSABILITÉ RELATIVE À LA VIOLATION DE DROITS DE PROPRIÉTÉ, EN CE QUI CONCERNE L'UTILISATION OU LA MISE EN ŒUVRE DES INFORMATIONS CONTENUES DANS LA PRÉSENTE SPÉCIFICATION. LA DISPOSITION DE LA PRÉSENTE SPÉCIFICATION N'IMPLIQUE L'OCTROI D'AUCUNE LICENCE, EXPRESSE OU IMPLICITE, PAR PERCLUSION OU AUTRE, SUR AUCUN DROIT DE PROPRIÉTÉ INTELLECTUELLE.

Envoyer les commentaires à techsup@usb.org.

Pour plus d'informations, se rendre sur le site web de l'USB Implementers Forum à l'adresse <http://www.usb.org>.

USB Type-C®, USB-C®, USB 2.0 Type-C™ et USB4™ sont des marques de l'Universal Serial Bus Implementers Forum (USB-IF). DisplayPort™ est une marque de VESA. Tous les noms de produits sont des marques, des marques déposées ou des marques de service de leurs propriétaires respectifs.

Thunderbolt™ est une marque commerciale d'Intel Corporation. La marque ou le logo Thunderbolt™ ne peut être utilisé qu'avec des produits conçus selon cette spécification, qui ont reçu la certification appropriée et sont utilisés dans le cadre d'une licence de la marque Thunderbolt™ – voir usb.org/compliance pour plus d'informations.

Copyright © 2021, USB Promoter Group (Apple Inc., HP Inc., Intel Corporation, Microsoft Corporation, Renesas Corporation, STMicroelectronics et Texas Instruments).

Reconnaissance de la contribution technique

Les auteurs de la présente spécification souhaiteraient remercier les personnes suivantes pour leur participation aux groupes de travail techniques de la Spécification USB4.

Apple Inc. – Employés d'entreprises promotrices

Majd Abu Tayeh	Nimrod Agmon	Lior Aloni	Brian Baek
Omer Bar-Lev	Moshe Benyamini	Gopu Bhaskar	Carlos Calderon
David Conroy	Bill Cornelius	Scott Deandrea	William Ferry
Amit Flanter	Itay Franko	Radia Gantous	Alex Gerber
Mark Goikhman	Nir Guetta	Yair Hershkovitz	Scott Jackson
Husam Khashiboun	Alan Kobayashi	Alexei Kosut	Christine Krause
Dmitri Krichevsky	Alex Lozovik	Rachel Menes	Shlomi Mor
Shlomi Museri	Mona Omari	Tal Ostro	Arie Peled
Collin Pieper	Idan Reller	Reese Schreiber	Oleg Schtofenmaher
Etan Shirron	Ori Moshe Stern	Jose Tierno	Maxim Tsudik
Anatoly Uskach	Jeff Wilcox	Dan Wilson	Ohad Zalcman

HP Inc. – Employés d'entreprises promotrices

Roger Benson	Marcus Benzel	Alan Berkema	Kenneth Chan
Frank Chen	Phil Chen	Hosup Chung	Glen Dower
Mark Lessman	Nam Nguyen	Roger Pearson	Kenneth Smith
Chris Tabarez			

Intel Corporation – Employés d'entreprises promotrices

Nausheen Ansari	Noam Arzy	Alexandre Audier	Binata Bhattacharyya
Huimin Chen	Hengju Cheng	Salauddin Choudhury	John Crouter
Maxim Dan	Jhuda Dayan	Yoni Dishon	Eran Galil
Saranya Gopal	Venkataramani Gopalakrishnan	Raul Gutierrez	Michael Gouzenfeld
Mickey Gutman	Benjamin Hacker	Yaniv Hayat	Uri Hermoni
Alon Horn	Abdul Ismail	Abhilash K V	Ziv Kabiry
Vijaykumar Kadgi	Vijay Kasturi	Sergey Khaykin	Lev Kolomiets
Vladislav Kopzon	Efraim Kugman	Edmond Lau	Uriel Lemberger
Yun Ling	Guobin Liu	Balaji Manoharan	Liran Manor
Uma Medepalli	Assaf Mevorach	Hezi Naaman	Ohad Navon
Naod Negussie	CheeLim Nge	Leonid Plaks	Duane Quiet
Rajaram Regupathy	Reuven Rozic	Oren Salomon	Zeeshan Sarwar
Brad Saunders	Leonid Shaposhnik	Ehud Shoor	Ari Sharon

Uri Soloveychik	Einat Surijan	Aviel Uzan	Karthi Vadivelu
Alex Vekker	Chen Vrubel	Stephanie Wallick	Tzewen Wang
Sarel Wechsler	Ady Weiss	Vitaly Zhivov	Gal Yedidia
Vladimir Yudovich	Aruni Nelson		

Microsoft Corporation – Employés d'entreprises promotrices

Randy Aull	Jim Belesiu	Martin Borve	Anthony Chen
Jesse Chen	Matt Chung	Aacer Daken	Rajib Dutta
Mark Friend	Philip Froese	David Hargrove	Robbie Harris
Kit Hui	Toby Nixon	Rahul Ramadas	Andrea Severson
Kiran Shastry	Nathan Sherman	Ji Sun	Shyamal Varma

Renesas Corporation – Employés d'entreprises promotrices

Tam Do	Robert Dunstan	Philip Leung	Kiichi Muto
Ziba Nami	Hajime Nozaki	Raman Sargis	Yoshiyuki Tomoda
Starry Tsai	Jia Wei	Toshifumi Yamaoka	

STMicroelectronics – Employés d'entreprises promotrices

Nathalie Ballot	Joel Huloux	Gerard Mas	
-----------------	-------------	------------	--

Texas Instruments – Employés d'entreprises promotrices

Mike Campbell	Anant Gole	Craig Greenburg	Michael Koltun IV
Sai Karthik Rajaraman	Anwar Sadat	Cory Stewart	Sue Vining
Deric Waters	Gregory Watkins		

Employés d'entreprises contributrices

ACON, Advanced-Connectek, Inc.	Victory Chen	Conrad Choy	Vicky Chuang
	Jessica Feng	Sharon Hsiao	Wayne Wang
Advanced Micro Devices	Dennis Au	Nat Barbiero	Jason Chang
	Michael Comai	Walter Fry	Will Harris
	Jason Hawken	Jim Hunkins	Ling Kong
	Scott Ogle	Victor Salim	Joseph Scanlon
	Peter Teng		
Allion Labs, Inc.	Howard Chang	Casper Lee	Brian Shih
Analogix Semiconductor, Inc.	Greg Stewart	Haijian Sui	Yueke Tang
	Ning Zhu		

Anritsu Corporation	Wataru Aoba	John Jerico Custodio	Kazuhiro Fujinuma
	Hiroshi Goto	Alessandro Messina	Tadanori Nishikobara
	Ryo Sunayama	Toshihiro Suzuki	Mitsuhiro Usuba
	Takeshi Wada		
ASMedia Technology Inc.	Chang Chinyu	Chang Weiyun	Chen Chiahsin
	Chen Chunhung	Chuang Weber	Kuo Han Sung
	Lin Curtis	Lin ShuYu	Tseng PS
	Tseng YD	Wei Daniel	Wu ShengChung
Avery Design Systems, Inc.	Chris Browy	Chilai Huang	Zhihong Zeng
BitifEye Digital Test Solutions GmbH	Sebastian Muschala	Hermann Stehling	
Bizlink Technology, Inc.	Alex Chou	Morphy Hsieh	Kevin Tsai
Cadence Design Systems, Inc.	Marcin Behrendt	Jacek Duda	Shikha Gupta
	Gaurav Jain	Poonam Khatri	Yash Kothari
	Vinod Lakshman	Shivaji Magadum	Andy Mauffet-Smith
	Rohit Mishra	Uyen Nguyen	Raja Pounraj
	Thirumal Reddy	Anand RK	Anshul Shah
	Neelabh Singh	Ofer Steinberg	Mark Summers
	Claire Ying	Wasiq Zia	
Corigine, Inc.	Kevin Fan	Ali Khan	Xiao Xiao
Corning Optical Communications LLC	Mark Bradley	Wojciech Giziewicz	Ian McKay
	Jamie Silva		
Cypress Semiconductor	Mark Fu	Naman Jain	Savan Javia
	Palani Subbiah		
Dell Inc.	Mohammed Hijazi	Tom Lanzoni	Ken Nicholas
	Marcin Nowak	Scott Ogle	Adie Tan
	Lee Zaretsky		
Diodes Incorporated	Qun Song		
DisplayLink (UK) Ltd.	Pete Burgers	Dan Ellis	
DJI Technology Co., Ltd.	Steve Huang		
Electronics Testing Center, Taiwan	Sophia Liu		

Elka International Ltd.	Alvin Cheng Jui-Ming Yang	Chloe Hsieh	Roy Ting
Ellisys	Abel Astley Tim Wei	Mario Pasquali	Chuck Trefts
Etron Technology, Inc.	Andy Chen Chien-Cheng Kuo	Shihmin Hsu Jen Hong Larn	Bryan Huang
Foxconn / Hon Hai	Patrick Casher Fred Fons Christine Tran	Joe Chen Bob Hall A.J. Yang	Jason Chou Terry Little Jie Zheng
Fresco Logic Inc.	Tim Barilovits Jie Ni	Bob McVay Jeffrey Yang	Christopher Meyers
Genesys Logic, Inc.	Sean Chen Jerry Hu ChunYen Kuo Miller Lin Han Wu	Gerry Chou Perlman Hu Weddell Lee D.C. Lu Yihsun Wu	Thomas Hsieh Roy Huang Jimmy Lin Greg Tu
Google Inc.	Mark Hayter David Schneider	Benson Leung	Raj Mojumder
Granite River Labs	Nikhil Acharya Allen Chen Alan Chuang Tim Lin Rajaraman V	Yun Han Ang Cyan Chen Steven Lee Krishna Murthy Chin Hun Yaep	Sandy Chang Swee Guan Chua Caspar Lin Johnson Tan
Hotron Precision Electronic Ind. Corp.	Rosa Chen	Patrick Yeh	YF Zhang
I-PEX (Dai-ichi Seiko)	Alan Kinningham	Ro Richard	
Japan Aviation Electronics Industry Ltd.	Mark Saubert	Junichi Takeuchi	
JMicron Technology Corp.	Charon Chen	Mika Cheng	Kevin Liu
Kandou Bus SA	Brian Holden Andrew Stewart	Hitaish Sharma Mark Vennebarger	David Stauffer

Keysight Technologies Inc.	Atsushi Imaoka	Biing Lin Lem	Jit Lim
	Francis Liu	Roland Scherzinger	
L&T Technology Services	Binu Chinna Thankam	Sunil Kumar	Siddharth Pethe
	Badrinath Ramachandra	Arunkumar Selvam	Gayathri SN
LeCroy Corporation	Alan Blankman	Patrick Connally	Carl Damn
	David Fraticelli	Daniel H Jacobs	Farnoosh Jafary
	Tyler Joe	Carlo Mazzetti	Mike Micheletti
	Kathryn Morales	Jeff Sabuda	Joseph Schachner
	Chris Webb		
Lenovo	Toshikazu Horino	Shinji Matsushima	Yuuki Matsuura
	Nozomu Nagata	Munefumi Nakata	Kazuya Shibayama
	Shunki Sugai	Chikara Takahashi	Masahiro Tokuno
	Kayanagi Tsuneo		
LG Electronics Inc.	Do Kyun Kim	Yoon Jong Lee	Seung Yoo
Lintes Technology Co., Ltd.	Tammy Huang	Charles Kaun	RD Lintes
	Max Lo	CT Pien	Jin Yi Tu
	Jason Yang		
Lotes Co., Ltd.	Regina Liu-Hwang	John Lynch	
Luxshare-ICT	Josue Casillo	CY Hsu	Antony Lin
	John Lin	Stone Lin	Scott Shuey
	Eric Wen	Pat Young	
Maxio Technology (Hangzhou) Ltd.	George Fang		
MediaTek Inc.	Henry Chen	Alexyc Lin	Pochou Lin
	Chiachun Wang		
MegaChips Corporation	Rahul Agarwal	Ramesh Dandapani	Satoru Kumashiro
	Ryuichi Mariizumi	Sireesha Vemulapalli	Nobu Yanagisawa
Mercedes-Benz Research & Development, North America, Inc.	Hans Wickler		
Microchip Technology Inc.	Mark Bohm	Atish Ghosh	Fernando Gonzalez
	Mark Gordon	Richard Petrie	Brigham Steele
	Anthony Tarascio	Robert Zakowicz	
Molex LLC	Alan MacDougall		

MQP Electronics Ltd.	Sten Carlsen	Pat Crowe	
Newnex Technology Corp.	Sam Liu		
NVIDIA	Jamie Aitken	Mark Overby	
NXP Semiconductors	Mahmoud El Sabbagh	Ken Jaramillo	Abhijeet Kulkarni
	Vijendra Kuroodi	Krishnan TN	
Oculus VR LLC	Marty Evans	Joaquin Fierro	Chao Hu
ON Semiconductor	Eduardo De Reza	Oscar Freitas	Christian Klein
	Amir Lahooti		
Parade Technologies, Inc.	Jian Chen	Jimmy Chiu	Mark Qu
	Craig Wiley	Paul Xu	Kevin Yuan
	Alan Yuen		
Phison Electronics Corp.	Jimmy Chen	Ko Hong Lipp	Sebastien Jean
	Stark Kuan	Thomas Lee	Anton Lin
	Winnie Lu	Wei Sui-Ning	James Tsai
	Michael Wu	Fu-Hua Yang	Chang Yuan-Cheng
Qualcomm, Inc	Tomer Ben Chen	Yiftach Benjamini	Richard Burrows
	Amit Gil	James Goel	Philip Hardy
	Raja Jagadeesan	Lalan Mishra	Dmitrii Vasilchenko
	Chris Wiesner		
Realtek Semiconductor Corp.	Chung-Chun Chen	Jen Wen Chen	Shen Chen
	Jonathan Chou	Chang Ding	Yao Feng
	Bokai Huang	An-Ming Lee	Ray Lee
	Ryan Lin	Terry Lin	Luobin Wang
	Kay Yin	Chris Zeng	
Rohde & Schwarz GmbH & Co. KG	Johannes Ganzert	Randy White	
Samsung Electronics Co., Ltd.	Jaedeok Cha	KangSeok Cho	CheolYoon Chung
	Sangju Kim	Termi Kwon	Cheolho Lee
	Edward Lee	Jun Bum Lee	Chahoon Park
	Sunggeun Yoon		
Seagate Technology LLC	Alvin Cox	Paul McParland	Michael Morgan
	Cuong Tran		

Silicon Line GmbH	Ian Jackson		
SiliConch Systems Private Limited	Kaustubh Kumar	Rakesh Polasa	Satish Anand Verkila
Softnautics LLP	Bhavesh Desai	Hetal Jariwala	Dipakkumar Modi
	Ishita Shah	Ujjwal Talati	
Spectra7 Microsystems Corp.	Alex Chow	James McGrath	
Specwerkz	Sydney Fernandes	Amanda Hosler	Diane Lenox
	Soren Petersen		
STMicroelectronics	Nathalie Ballot	Joel Huloux	Gerard Mas
Sumitomo Electric Ind., Ltd., Optical Comm. R&D Lab	Sainer Siagian	Mitsuaki Tamura	
Synaptics Inc.	Jeff Lukanc	Mark Miller	Prashant Shamarao
Synopsys, Inc.	Prishkrit Abrol	Subramaniam Aravindhan	Jeanne Cai
	Jun Cao	Morten Christiansen	Scott Guo
	Eric Huang	Joseph Juan	Venkataramghavan Krishnan
	Jitendra Kushwaha	Behram Minwalla	Saleem Mohammad
	Rick Schmidt	Jasjeet Singh	Mahendra Singh
	John Stonick	Zongyao Wen	Fred Yu
Tektronix, Inc.	Madhusudan Acharya	Sourabh Das	Keyur Diwan
	Mark Guenther	Abhijeet Shinde	Gary Simontom
Thine Electronics, Inc.	Shuhei Yamamoto		
Tyco Electronics Corp., a TE Connectivity Ltd. company	Simon Li	Jeff Mason	Jacky Mo
	Tommy Yu	Yuanbo Zhang	Tony Zhu
Varjo Technologies	Kai Inha		
VIA Labs, Inc.	Wayne Tseng		
VIA Technologies, Inc.	Benjamin Pan	Terrance Shih	Jay Tseng
	Fong-Jim Wang		
Weltrend Semiconductor	Chao-Chee Ku	Jeng Cheng Liu	Wayne Lo
	Ho Wen Tsai	Eric Wu	Randolph Wu
	Simon Yeh		
Western Digital	David Landsman	Larry McMillan	Rob Ryan
Wilder Technologies	Steve Bright	Zach Moore	Joe O'Brien
	Majid Shayegh		

SOMMAIRE

1	Introduction	645
1.1	Domaine d'application du document	645
1.2	Conformité des produits à l'USB	645
1.3	Organisation du document	645
1.4	Objectifs de conception	645
1.5	Documents connexes	645
1.6	Conventions	646
1.6.1	Ordre de priorité	646
1.6.2	Mots-clés	646
1.6.2.1	Informatif(ve)	646
1.6.2.2	Pouvoir/Peut/Peuvent	646
1.6.2.3	N/A	646
1.6.2.4	Normatif(ve)	646
1.6.2.5	Facultatif(ve)	646
1.6.2.6	Réservé	647
1.6.2.7	Devoir/Doit/Doivent	647
1.6.2.8	Il convient de/que	647
1.6.3	Capitalisation	647
1.6.4	Texte italique	647
1.6.5	Numérotation	647
1.6.6	Conventions de bits, d'octets, de DW et de Symboles	647
1.6.7	Notes d'implémentation	647
1.6.8	Notes de Gestionnaire de Connexions	647
1.6.9	Pseudocode	648
1.6.10	Algorithmes CRC	648
1.6.11	FourCC	649
1.7	Valeurs et champs réservés	649
1.8	Termes et abréviations	649
2	Vue d'ensemble de l'architecture	655
2.1	Description du système USB4	656
2.1.1	Constructions architecturales	659
2.1.1.1	Routeurs	659
2.1.1.2	Adaptateurs	659
2.1.1.3	Ports et Liaisons USB4	659
2.1.1.4	Dispositifs USB4	661
2.1.1.5	Hôte USB4	663
2.1.1.6	Retemporisateurs	664
2.1.1.7	Gestionnaire de Connexions	664
2.1.2	Caractéristiques mécaniques de l'USB4	664
2.1.3	Puissance USB4	664
2.1.4	Configuration du système USB4	664
2.1.5	Prise en charge de la compatibilité Thunderbolt™ 3 (TBT3)	664
2.1.6	Prise en charge de la compatibilité avec les Modes USB Type-C alternatifs	664
2.2	Architecture de la Structure USB4	664

2.2.1	Pile fonctionnelle USB4	665
2.2.1.1	Couche Électrique	666
2.2.1.2	Couche Logique	666
2.2.1.3	Couche de Transport	667
2.2.1.4	Couche de Configuration	667
2.2.1.5	Couche d'Adaptateur de Protocole	667
2.2.2	Topologie de la Structure USB4	667
2.2.3	Chemins	669
2.2.4	Constructions de communication	671
2.2.4.1	Liaison USB4	673
2.2.4.2	Canal en bande latérale	674
2.2.5	Communications USB4 hôte à hôte	674
2.2.6	Modèle de programmation	675
2.2.6.1	Gestionnaire de Connexions	675
2.2.6.2	Espaces de configuration	676
2.2.6.3	Opérations	676
2.2.7	Synchronisation temporelle	677
2.2.8	Intégrité des données de la Structure USB4	677
2.2.9	Vie globale d'un Routeur	677
2.2.10	Tunnelisation de Protocole	678
2.2.10.1	Tunnelisation USB3	678
2.2.10.2	Tunnelisation d'Affichage	685
2.2.10.3	Tunnelisation PCIe	689
2.2.10.4	Adaptateur d'Interface Hôte	697
3	Couche Électrique	699
3.1	Spécifications électriques du Canal en Bande Latérale	700
3.2	Écosystème USB4	702
3.2.1	Considérations relatives à la perte d'insertion (informatif)	702
3.2.2	Considérations relatives au taux d'erreur binaire codé (informatif)	702
3.3	Méthode de conformité électrique USB4	703
3.3.1	Définitions des points d'essai de conformité du système	703
3.3.2	Condensateurs de couplage en courant alternatif	704
3.3.3	Fonction de récupération d'horloge et de données (CDR) de référence	705
3.3.4	Fonction d'égaliseur de référence	706
3.3.4.1	CTLE de référence	706
3.3.4.2	DFE de référence	708
3.3.5	Mesurages du domaine temporel	708
3.3.6	Cartes de conformité	708
3.3.6.1	Carte d'essai de conformité du connecteur mâle	708
3.3.6.2	Carte d'essai de conformité du connecteur femelle	708
3.4	Conformité de l'émetteur d'un Ensemble Routeur	708
3.4.1	Spécifications de l'émetteur appliquées pour toutes les vitesses	709
3.4.1.1	Variations de fréquence de l'émetteur pendant la formation de Liaison	710
3.4.1.2	Facteur d'adaptation différentiel de l'émetteur	713
3.4.1.3	Affaiblissement de réflexion en mode commun de l'émetteur	714

3.4.1.4	Égalisation de transmission	715
3.4.2	Spécifications de conformité de l'émetteur pour Gen 2	719
3.4.3	Spécifications de conformité de l'émetteur pour les interconnexions Gen 3	721
3.5	Conformité du récepteur de l'Ensemble Routeur	722
3.5.1	Spécifications du récepteur appliquées pour toutes les vitesses	722
3.5.1.1	Facteur d'adaptation différentiel du récepteur	724
3.5.1.2	Affaiblissement de réflexion en mode commun du récepteur	724
3.5.2	Essai de tolérance sur le TEB non codé du récepteur	725
3.5.3	Essais de plusieurs salves d'erreurs du récepteur	729
3.6	Conformité du Dispositif Captif	730
3.6.1	Montage d'essai de conformité d'un Dispositif Captif	730
3.6.2	Spécifications de l'émetteur d'un Dispositif Captif	731
3.6.2.1	Énergie conduite dans les bandes sans fil	731
3.6.2.2	Caractéristiques de l'émetteur	733
3.6.2.3	Facteur d'adaptation différentiel de l'émetteur	737
3.6.2.4	Affaiblissement de réflexion en mode commun de l'émetteur	737
3.6.2.5	Égalisation de transmission	737
3.6.3	Spécifications du récepteur d'un Dispositif Captif	737
3.6.3.1	Spécifications du récepteur appliquées pour toutes les vitesses	737
3.6.3.2	Facteur d'adaptation différentiel du récepteur	738
3.6.3.3	Affaiblissement de réflexion en mode commun du récepteur	739
3.6.4	Essai de tolérance sur le TEB non codé du récepteur d'un Dispositif Captif	739
3.6.5	Essais de plusieurs salves d'erreurs du récepteur d'un Dispositif Captif	741
3.7	Signalisation périodique de basse fréquence (LFPS)	742
3.7.1	Définition du signal LFPS	743
3.8	Marginalisation de Voie du récepteur (aptitude à l'essai)	744
3.8.1	Contexte	744
3.8.1.1	Mode de marginalisation logicielle	744
3.8.1.2	Mode de marginalisation matérielle	746
3.8.2	Exigences relatives à la marginalisation de tension et à la marginalisation de temporisation du récepteur	747
3.8.3	Accès aux paramètres du récepteur	750
4	Couche Logique	750
4.1	Canal en bande latérale	751
4.1.1	Transactions	752
4.1.1.1	Symboles	752
4.1.1.2	Types de Transactions	752
4.1.1.3	Espace de Registres SB	761
4.1.2	Initialisation de Voie	770
4.1.2.1	Phase 1 – Détermination des conditions initiales	771
4.1.2.2	Phase 2 – Détection de Routeur	773
4.1.2.3	Phase 3 – Détermination des caractéristiques du Port USB4	774

4.1.2.4	Phase 4 – Synchronisation des paramètres de Voie et début de transmission.....	775
4.1.2.5	Phase 5 – Égalisation de Liaison	775
4.2	Diagramme d'états de la Couche Logique.....	778
4.2.1	Diagramme d'états d'Adaptateur de voie	778
4.2.1.1	Disabled	779
4.2.1.2	CLd	780
4.2.1.3	Training	781
4.2.1.4	CL0	788
4.2.1.5	Lane Bonding	789
4.2.1.6	Low Power (CL0s, CL1, et CL2).....	790
4.2.2	Transitions de liaisons USB4.....	809
4.2.2.1	Passage d'une Liaison à Voie Unique à deux Liaisons à Voie Unique.....	809
4.2.2.2	Passage de deux Liaisons à Voie Unique à une Liaison à Double Voie.....	809
4.2.2.3	Passage d'une Liaison à Double Voie à deux Liaisons à Voie Unique	811
4.2.2.4	Passage de deux Liaisons à Voie Unique à une Liaison à Voie Unique.....	811
4.2.3	État d'une Liaison de la Couche Logique.....	812
4.3	Codage de liaisons USB4	812
4.3.1	Distribution sur les Voies.....	815
4.3.2	Codage de symboles	816
4.3.2.1	Codage des Symboles des octets de la Couche de Transport.....	816
4.3.3	Ensembles ordonnés	817
4.3.4	Permutation de Bits.....	819
4.3.4.1	Bits de synchronisation.....	819
4.3.4.2	Charge utile de symbole de données	819
4.3.4.3	Charge utile d'un Symbole d'Ensemble Ordonné.....	821
4.3.5	Embrouillage	822
4.3.6	RS-FEC.....	823
4.3.6.1	Activation et désactivation de RS-FEC.....	826
4.3.6.2	Précodage	826
4.4	Fonctionnement des liaisons USB4.....	827
4.4.1	Début des données	827
4.4.2	Cas d'erreurs et rétablissement.....	827
4.4.3	Compensation d'horloge et SKIP	829
4.4.4	Désalignement sur double Voie	829
4.4.5	Déconnexion	830
4.4.5.1	Déconnexion de port orienté en amont.....	830
4.4.5.2	Déconnexion de port en aval	831
4.4.6	Désactivation et activation de l'Adaptateur de Voie	834
4.4.6.1	L'Adaptateur désactivé est l'Adaptateur en Amont	834
4.4.6.2	L'Adaptateur désactivé n'est pas l'Adaptateur en Amont	835
4.4.7	Ensemble Ordonné de Notification de Synchronisation Temporelle (TSNOS)	838
4.5	Veille et Réveil	838

4.5.1	Passage à l'état de veille.....	838
4.5.2	Comportement à l'état de veille	840
4.5.3	Événements de réveil	840
4.5.4	Sortie de veille	841
	4.5.4.1 Déconnexion de port orienté en amont.....	841
	4.5.4.2 Événement Wake on USB4.....	841
4.6	Paramètres de temporisation	842
5	Couche de Transport.....	846
5.1	Paquets de Couche de Transport	846
5.1.1	Conventions de bits/octets	846
5.1.2	Format	847
	5.1.2.1 En-tête	848
	5.1.2.2 Remplissage de charge utile.....	849
	5.1.2.3 Code de Correction d'Erreurs (ECC, <i>Error Correction Code</i>)	849
5.1.3	Paquets de Couche de Transport	849
	5.1.3.1 Paquets Tunnelisés	849
	5.1.3.2 Paquets de Contrôle	850
	5.1.3.3 Paquets de gestion des liaisons.....	850
5.1.4	Effet de l'état de la Liaison sur les Paquets de Couche de Transport	853
5.1.5	Espacement minimal des en-têtes	854
5.2	Routage.....	856
5.2.1	Règles de numérotation d'un Adaptateur	856
5.2.2	Règles relatives à HopID.....	856
5.2.3	Tables de Routage	857
5.2.4	Règles de Routage.....	858
	5.2.4.1 Paquets de Contrôle	859
	5.2.4.2 Paquets de gestion des liaisons.....	859
	5.2.4.3 Paquets Tunnelisés	859
	5.2.4.4 Exemple de routage.....	860
5.2.5	Règles de connectivité	862
5.3	Qualité de Service (QoS).....	863
5.3.1	Ordre des Paquets	863
5.3.2	Contrôle de flux.....	864
	5.3.2.1 Adaptateur d'Entrée	864
	5.3.2.2 Adaptateur de Sortie.....	870
	5.3.2.3 Synchronisation du Compteur de Crédits	872
5.3.3	Arbitrage de la bande passante et priorité	873
	5.3.3.1 Planification.....	873
5.3.4	Gigue de Retard de Transfert de Paquets	875
5.4	Désactivation de Chemins	875
5.4.1	Adaptateur de Sortie	876
5.4.2	Adaptateur d'Entrée	876
5.5	Paramètres de temporisation	876
6	Couche de Configuration.....	877
6.1	Topologie de Domaine.....	878
6.2	Adressage d'un Routeur	878

6.3	États du Routeur	880
6.3.1	État Uninitialized Unplugged	881
6.3.2	État Uninitialized Plugged	882
6.3.3	État Sleep	882
6.3.4	État Enumerated	882
6.4	Protocole de Paquet de Contrôle	882
6.4.1	Adaptateur de Contrôle	882
6.4.2	Paquets de Contrôle.....	882
6.4.2.1	Conventions de bits/octets.....	882
6.4.2.2	Format.....	883
6.4.2.3	Demande de Lecture	884
6.4.2.4	Réponse de Lecture	886
6.4.2.5	Demande d'Écriture	887
6.4.2.6	Réponse d'Écriture	889
6.4.2.7	Paquet de Notification	890
6.4.2.8	Paquet d'Acquittement de Notification.....	891
6.4.2.9	Paquet d'Événement de Branchement à Chaud	892
6.4.2.10	Demande Interdomaine.....	893
6.4.2.11	Réponse Interdomaine.....	894
6.4.3	Routage des Paquets de Contrôle	895
6.4.3.1	Paquets Combinés en Amont.....	895
6.4.3.2	Paquets Combinés en Aval.....	895
6.4.3.3	Traitement des Demandes de Lecture et d'Écriture.....	898
6.4.4	Fiabilité d'un Paquet de Contrôle.....	899
6.5	Événements de notification.....	899
6.6	Acquittement de Notification	900
6.7	Énumération et initialisation du Routeur	901
6.8	Événements de Branchement à Chaud et de Débranchement à Chaud....	903
6.8.1	Branchement à Chaud du Routeur.....	904
6.8.1.1	Routeurs énumérés	905
6.8.1.2	Routeurs non initialisés	905
6.8.1.3	Routeur branché à chaud.....	905
6.8.2	Débranchement à Chaud du Routeur.....	905
6.8.2.1	Débranchement à Chaud sur le Port Orienté en Amont..	905
6.8.2.2	Débranchement à Chaud sur un Port Orienté en Aval	905
6.9	Réinitialisation de port orienté en aval.....	905
6.10	Paramètres de temporisation.....	906
7	Synchronisation temporelle	906
7.1	Architecture de Synchronisation Temporelle.....	907
7.1.1	Hiérarchie de synchronisation	907
7.1.1.1	Hiérarchie Intradomaine	907
7.1.1.2	Hiérarchie Interdomaine	908
7.1.2	Paramètres de Synchronisation Temporelle	909
7.1.2.1	Heure Locale	909
7.1.2.2	Décalage temporel.....	909
7.1.2.3	Décalage de fréquence.....	910
7.2	Mesure de l'horodatage	910
7.2.1	Corrections d'asymétrie.....	911

7.3	Protocole de Synchronisation Temporelle	912
7.3.1	Négociation de Synchronisation Temporelle	912
7.3.1.1	Négociation de Synchronisation Temporelle Bidirectionnelle	913
7.3.1.2	Négociation de Synchronisation Temporelle Unidirectionnelle	917
7.3.2	Synchronisation Temporelle Interdomaine	920
7.3.3	Formats de paquets	923
7.3.3.1	Format d'un Ensemble Ordonné de Notification de Synchronisation Temporelle	923
7.3.3.2	Format d'un Paquet de Suivi	923
7.3.3.3	Paquet d'Horodatage Interdomaine	925
7.4	Calculs temporels	926
7.4.1	Équations Intradomaines	928
7.4.2	Équations Interdomaines	930
7.4.2.1	Calcul d'un Horodatage Interdomaine	931
7.4.2.2	Calcul du décalage de fréquence Interdomaine	932
7.4.2.3	Calcul du décalage temporel Interdomaine	932
7.4.2.4	Calcul de l'Heure du Routeur Hôte Interdomaine	933
7.4.3	Filtrage	934
7.5	Exigences relatives à l'exactitude de la synchronisation temporelle	935
7.5.1	Mesure Jumelée	936
7.5.2	Mesure Autonome	936
7.5.3	Méthode de mesurage	937
7.5.4	Paramètres d'exactitude	939
7.6	Configuration logicielle	939
7.6.1	Configuration de la Synchronisation Temporelle Intradomaine	939
7.6.2	Configuration de la Synchronisation Temporelle Interdomaine	940
7.6.3	Mécanisme Post Time	940
7.6.4	Bit Time Disruption	941
8	Espaces de configuration	941
8.1	Types d'accès aux champs de configuration	941
8.2	Espaces de configuration	942
8.2.1	Espace de Configuration de Routeur	943
8.2.1.1	Registres de Configuration de Base	945
8.2.1.2	Capacité de Configuration du Routeur TMU	953
8.2.1.3	Capacité Spécifique au Fournisseur (VSC, <i>Vendor Specific Capability</i>)	961
8.2.1.4	Capacité Étendue Spécifique au Fournisseur (VSEC, <i>Vendor Specific Extended Capability</i>)	962
8.2.2	Espace de Configuration d'Adaptateur	963
8.2.2.1	Registres de Configuration de Base	965
8.2.2.2	Capacité de Configuration de l'Adaptateur TMU	970
8.2.2.3	Capacité de Configuration de l'Adaptateur de Voie	973
8.2.2.4	Capacité de port USB4	977
8.2.2.5	Capacité de Configuration de l'Adaptateur USB3	984
8.2.2.6	Capacité de Configuration de l'Adaptateur DP	987
8.2.2.7	Capacité de Configuration de l'Adaptateur PCIe	1001
8.2.3	Espace de Configuration de Chemin	1002

8.2.3.1	Entrée du Chemin 0	1002
8.2.3.2	Adaptateurs de Voie	1003
8.2.3.3	Adaptateurs de protocole	1005
8.2.3.4	Accès à l'Espace de Configuration de Chemin	1007
8.2.4	Espace de Configuration des Compteurs	1009
8.3	Opérations	1010
8.3.1	Opérations de Routeur	1010
8.3.1.1	Opérations de Tunnelisation DP	1012
8.3.1.2	Opérations NVM	1015
8.3.1.3	Opérations de Découverte de Routeur	1021
8.3.1.4	Opérations de Contrôle de Port	1027
8.3.2	Opérations de Port	1029
8.3.2.1	Opérations de Port destinées à la conformité	1031
8.3.2.2	Opérations de Port de service	1042
8.3.2.3	Opérations de Port pour la Marginalisation de Voie du Récepteur	1043
9	Tunnelisation USB3	1053
9.1	Couche d'Adaptateur USB3	1054
9.1.1	Encapsulation	1054
9.1.1.1	Encapsulation LFPS	1055
9.1.1.2	Encapsulation des Ensembles Ordonnés	1059
9.1.1.3	Encapsulation de Commande de liaison	1061
9.1.1.4	Symboles Inactifs	1061
9.1.1.5	Encapsulation LMP	1062
9.1.1.6	Encapsulation TP	1062
9.1.1.7	Encapsulation ITP	1062
9.1.1.8	Encapsulation de Paquet de données (DP)	1064
9.1.2	Négociation de la bande passante	1066
9.1.3	Paramètres de temporisation	1070
9.2	Dispositif USB3 interne	1070
9.2.1	Couche de liaison	1070
9.2.1.1	Diagramme d'états de formation et de statut des liaisons (LTSSM)	1071
9.2.1.2	Temporisateurs et temporisations	1071
9.2.2	Couche protocole USB3	1071
9.2.3	Descripteurs	1071
9.3	Chemins	1071
9.3.1	Configuration de Chemin	1072
9.3.2	Désactivation de Chemin	1072
10	Tunnelisation DisplayPort™	1074
10.1	Pile de protocole d'un Adaptateur DP	1075
10.1.1	Couche de Transport	1075
10.1.2	Couche d'Adaptateur de Protocole	1075
10.1.3	Couche physique DP	1075
10.2	États de l'Adaptateur DP	1076
10.2.1	Reset	1077
10.2.2	Present	1077
10.2.3	Plugged	1077

10.2.4	Paired	1078
10.3	Interfaces	1078
10.3.1	DisplayPort	1078
10.3.1.1	LTTTPR Non Transparent	1079
10.3.1.2	Non LTTTPR	1079
10.3.1.3	LTTTPR Transparent	1079
10.3.2	Modèle de programmation	1079
10.3.2.1	Espace de Configuration d'Adaptateur	1079
10.3.2.2	Espace de Configuration de Chemin	1080
10.3.3	Événements de Branchement à Chaud et de Retrait à Chaud	1081
10.3.3.1	Adaptateurs DP OUT	1081
10.3.3.2	Adaptateurs DP IN	1081
10.3.4	DisplayPort sur la Structure USB4	1083
10.3.4.1	Types de Paquets de Données DisplayPort	1083
10.3.4.2	Paquet de Chemin AUX	1084
10.3.4.3	Formats d'un Paquet Main-Link Path	1091
10.4	Flux système	1091
10.4.1	Découverte du Gestionnaire de Connexions	1091
10.4.2	Configuration de Chemin	1093
10.4.2.1	Configuration	1093
10.4.2.2	Désactivation	1095
10.4.3	Propagation d'Événement HPD	1096
10.4.3.1	Fiche HPD	1096
10.4.3.2	HPD Débranchement	1096
10.4.3.3	IRQ	1096
10.4.3.4	Exigences relatives au délai HPD	1097
10.4.3.5	Contrôle manuel de HPD	1097
10.4.4	Traitement des Demandes et des Réponses AUX	1097
10.4.4.1	Mode LTTTPR Non Transparent	1097
10.4.4.2	Mode non LTTTPR	1099
10.4.4.3	Mode LTTTPR Transparent	1103
10.4.4.4	Exigences relatives au délai AUX	1105
10.4.4.5	Capacités DisplayPort agrégées	1105
10.4.4.6	DPCD DP Tunneling over USB4	1107
10.4.5	Processus d'initialisation des Adaptateurs DP	1107
10.4.5.1	DP Multifonction	1107
10.4.6	Découverte de la source	1107
10.4.6.1	Reconnaissance LTTTPR et changement de mode	1108
10.4.6.2	Lecture des Capacités DPRX	1109
10.4.6.3	Lecture du Comptage du Destinataire	1110
10.4.7	Contrôle de diffusion descendante	1110
10.4.8	Définition du mode de flux	1110
10.4.9	Activation des capacités DSC et FEC	1110
10.4.10	Formation de liaison DP	1111
10.4.10.1	LTTTPR	1111
10.4.10.2	Modes Non LTTTPR et LTTTPR Transparent	1118
10.4.10.3	Transition vers le mode High Speed Tunnel	1120
10.4.11	Définition des états d'alimentation	1121

10.4.12	Désactivation de la Liaison Principale DP.....	1121
10.4.13	Initialisation de Liaison.....	1121
10.4.14	Testabilité de la couche PHY DP.....	1122
	10.4.14.1Essai de la couche PHY d'un Adaptateur DP IN.....	1122
	10.4.14.2Essai de la couche PHY d'un Adaptateur DP OUT.....	1122
10.5	Tunnelisation à haut débit.....	1123
10.5.1	Tunnelisation SST.....	1124
	10.5.1.1 Paquet de données vidéo.....	1125
	10.5.1.2 Paquet d'Attributs de Flux Principal.....	1131
	10.5.1.3 Paquet de Début d'Effacement.....	1133
	10.5.1.4 Paquet de données secondaires.....	1135
	10.5.1.5 Fill Count.....	1140
10.5.2	Tunnelisation MST.....	1143
	10.5.2.1 TU de Sous-MTP.....	1143
	10.5.2.2 Exemples de mappage de MTP à des TU de sous-MTP.....	1150
	10.5.2.3 Format d'un Paquet MST.....	1152
	10.5.2.4 Paquets MST vers un MTP DP.....	1154
10.5.3	FEC.....	1154
	10.5.3.1 SR Count.....	1154
	10.5.3.2 Exigences relatives à un Adaptateur DP IN.....	1154
	10.5.3.3 Exigences relatives à un Adaptateur DP OUT.....	1155
	10.5.3.4 Paquet FEC_DECODE.....	1155
10.5.4	Mémoire Tampon de l'Adaptateur DP OUT.....	1156
	10.5.4.1 Fonctionnement de la mémoire tampon.....	1157
	10.5.4.2 Cycles d'Accumulation.....	1158
10.5.5	HDCP.....	1159
10.6	Synchronisation d'horloge de Liaison DP.....	1159
10.6.1	Méthode de synchronisation.....	1159
	10.6.1.1 Événements.....	1159
	10.6.1.2 Compteur de Durée de Vie.....	1160
	10.6.1.3 Paquet de synchronisation d'horloge DP.....	1162
10.6.2	Exigences relatives à l'Adaptateur DP.....	1164
	10.6.2.1 Exigences relatives à un Adaptateur DP IN.....	1164
	10.6.2.2 Exigences relatives à un Adaptateur DP OUT.....	1165
10.7	Mode Allocation de Bande Passante DP.....	1166
10.7.1	Activation du mode Allocation de Bande passante DP.....	1166
10.7.2	Interaction avec le DPTX.....	1166
	10.7.2.1 Estimated Bandwidth.....	1171
10.7.3	Interaction avec le Gestionnaire de Connexions.....	1171
10.8	Paramètres de temporisation.....	1174
11	Tunnelisation PCI Express.....	1175
11.1	Couche d'Adaptateur PCIe.....	1176
11.1.1	Encapsulation.....	1176
	11.1.1.1 TLP et DLLP PCIe.....	1177
	11.1.1.2 Ensembles ordonnés PCIe.....	1181
	11.1.1.3 Electrical Idle State.....	1183
	11.1.1.4 PERST.....	1183

11.1.2	Branchement à Chaud USB4	1184
11.2	Ports PCIe internes	1184
11.2.1	Sous-bloc Logique de la Couche Physique PCIe	1185
11.2.1.1	Codage.....	1185
11.2.1.2	Diagramme d'états de formation et de statut des liaisons (LTSSM).....	1185
11.2.1.3	Passage à l'état ASPM L1	1186
11.2.1.4	Compensation de tolérance d'horloge	1186
11.2.1.5	Compliance Mode.....	1186
11.2.1.6	Gestion de l'alimentation de l'horloge	1186
11.2.1.7	État L2.....	1186
11.2.2	Couche de Liaison de Données PCIe	1186
11.2.3	Couche de Transaction PCIe.....	1187
11.2.4	Temporisateurs de Liaison PCIe (informatifs)	1188
11.2.5	Mécanisme Precision Time Measurement (PTM)	1188
11.2.5.1	Générateur de paramètres.....	1190
11.2.5.2	Consommateur de Paramètres	1191
11.2.5.3	Calculs de PTM	1192
11.2.6	Paramètres de temporisation.....	1194
11.3	Chemins	1194
11.3.1	Configuration de Chemin.....	1194
11.3.2	Désactivation de Chemins	1195
12	Interface Hôte	1196
12.1	Mode de l'Anneau Descripteur	1197
12.1.1	Ordre des DW, des octets et des bits	1197
12.1.2	Mode Brut	1198
12.1.3	Mode Trame.....	1198
12.2	Contrôle de Flux de Bout en Bout (E2E)	1200
12.2.1	Paquets de contrôle de flux E2E	1200
12.2.1.1	Paquet d'Allocation de Crédit E2E	1200
12.2.1.2	Paquet de Synchronisation de Crédit E2E	1203
12.2.2	Règles de contrôle de flux.....	1203
12.2.2.1	Mise à jour des crédits.....	1203
12.2.2.2	Synchronisation du Compteur de Crédits	1203
12.2.2.3	Règles relatives à l'Interface Hôte d'Émission.....	1204
12.2.2.4	Règles relatives à l'Interface Hôte de Réception	1205
12.3	Interface d'Émission	1206
12.3.1	Structure du Descripteur d'Émission.....	1206
12.3.2	Flux d'émission	1208
12.3.2.1	Mode Trame	1208
12.3.2.2	Mode Brut.....	1209
12.4	Interface de réception.....	1209
12.4.1	Structure du Descripteur de Réception	1210
12.4.2	Flux de réception	1212
12.4.2.1	Mode Trame	1212
12.4.2.2	Mode Brut.....	1213
12.5	Interruptions	1214
12.5.1	Causes d'interruption	1214

12.5.2	Masques d'interruption	1214
12.5.3	Vecteurs d'interruption	1214
12.5.4	Modération d'interruption.....	1215
12.6	Interface de programmation.....	1216
12.6.1	Types d'accès	1216
12.6.2	Récapitulatif des registres	1217
12.6.3	Description des registres.....	1218
12.6.3.1	Contrôle d'Interface Hôte	1218
12.6.3.2	Anneaux Descripteurs d'Émission.....	1219
12.6.3.3	Anneaux Descripteurs de Réception	1221
12.6.3.4	Interruptions	1224
12.7	Paramètres de temporisation.....	1229
13	Interopérabilité avec les systèmes Thunderbolt™ 3 (TBT3).....	1229
13.1	Couche Électrique	1229
13.2	Couche Logique	1230
13.2.1	Canal en bande latérale	1230
13.2.1.1	Retemporisateur bidirectionnel	1230
13.2.1.2	Transactions.....	1231
13.2.1.3	Espace de Registres SB	1234
13.2.1.4	Initialisation de Voie	1235
13.2.2	Diagramme d'états de la Couche Logique	1240
13.2.2.1	État CLd	1240
13.2.2.2	Ensembles Ordonnés TS1 et TS2.....	1241
13.2.2.3	Low Power (CL0s, CL1, et CL2).....	1241
13.2.3	Fonctionnement des liaisons USB4	1241
13.2.3.1	Transitions de liaisons USB4	1241
13.2.3.2	Précodage	1241
13.2.4	Veille et Réveil.....	1241
13.2.4.1	Passage à l'état de veille	1242
13.2.4.2	Comportement à l'état de veille.....	1242
13.2.4.3	Événements de réveil	1242
13.2.4.4	Sortie de veille.....	1243
13.2.5	Paramètres de temporisation.....	1243
13.3	Couche de Transport.....	1243
13.3.1	Règles de numérotation d'un Adaptateur.....	1243
13.3.2	HopID maximal.....	1244
13.3.3	Règles de connectivité	1244
13.3.4	Allocation de mémoire tampon	1244
13.4	Couche de Configuration	1244
13.4.1	Énumération du Routeur.....	1244
13.4.2	Paquet de Notification	1245
13.4.3	Interface Bit Banging.....	1245
13.4.4	Routage des Paquets de Contrôle	1246
13.4.4.1	Paquets Combinés en Aval.....	1246
13.4.4.2	Flux de Routeur Non Initialisé.....	1247
13.5	Synchronisation temporelle.....	1247
13.6	Espaces de configuration	1247
13.6.1	Espace de Configuration de Routeur	1248

13.6.1.1	Capacité Spécifique au Fournisseur 1	1248
13.6.1.2	Capacité Spécifique au Fournisseur 3	1253
13.6.1.3	Capacité Spécifique au Fournisseur 4	1256
13.6.1.4	Capacité Étendue Spécifique au Fournisseur 6	1257
13.6.2	Espace de Configuration d'Adaptateur	1264
13.6.2.1	Attributs de Base	1265
13.6.2.2	Capacité de port USB4	1265
13.7	Tunnelisation PCI Express	1266
13.7.1	Gestion de l'alimentation PCIe	1266
13.7.1.1	L1	1266
13.7.1.2	L2	1267
13.8	Tunnelisation DisplayPort	1267
13.8.1	Traitement AUX	1267
13.8.1.1	Exigences relatives à un Adaptateur DP IN	1267
13.8.1.2	Exigences relatives à un Adaptateur DP OUT	1267
13.8.2	Traitement IRQ	1267
13.8.3	Découverte du Gestionnaire de Connexions	1268
13.8.3.1	Gestionnaire de Connexions TBT3	1268
13.8.3.2	Découverte du Routeur TBT3	1268
13.8.4	Lecture du Comptage du Destinataire	1269
13.8.5	Définition des états d'alimentation	1269
13.8.6	Formation de liaison DisplayPort	1269
13.8.6.1	Exigences relatives à un Adaptateur DP IN	1270
13.8.6.2	Exigences relatives à un Adaptateur DP OUT	1271
13.9	Fonctionnalité USB3	1273
13.10	Tunnelisation hôte à hôte	1275
A	Vérification des calculs de CRC, d'Embrouilleur et de FEC	1276
A.1	HEC d'un Paquet de Couche de Transport	1276
A.2	CRC d'un Paquet de Contrôle	1276
A.3	CRC d'une Transaction AT sur un Canal en Bande Latérale	1276
A.4	Embrouilleur	1278
A.5	RS-FEC de la Couche Logique	1278
A.6	CRC de Tunnelisation USB3	1284
A.7	CRC de Trame d'Interface Hôte	1285
A.8	Exemples d'ECC	1289
B	Récapitulatif des Paquets de Couche de Transport	1292
C	Exemples de flux de gestion de l'alimentation des liaisons	1293
C.1	Passage aux états Low Power	1293
C.1.1	Transition réussie vers l'état CL2	1293
C.1.2	Transition réussie vers l'état CL0s	1294
C.1.3	Refus de transition vers l'état CL2	1294
C.1.4	Demandes simultanées de transition vers un état Low Power	1295
C.1.5	Les Ensembles Ordonnés CL2_REQ ne sont pas reçus	1296
C.1.6	Les Ensembles Ordonnés CL2_REQ sont reçus en partie	1297
C.1.7	Erreur dans les Ensembles Ordonnés CL2_ACK	1299
C.1.8	Erreur dans les Ensembles Ordonnés CL_OFF	1300
C.2	Sortie des états Low Power	1301

- C.2.1 Exemple: Sortie de l'état CL0s 1302
- C.2.2 Exemple: Sortie de l'état CL2 (ou CL1)..... 1303
- D Protocole STLP 1307
 - D.1 Synchronisation temporelle..... 1307
 - D.2 Format d'un Paquet de Liaison Temps Série..... 1308
 - D.3 TMU_CLK_OUT et TMU_CLK_IN 1311
- E Espace de mémoire tampon d'entrée 1313
 - E.1 Calcul de la mémoire tampon de bande passante cible..... 1313
 - E.1.1 Exemple de calcul de la mémoire tampon d'entrée dans une configuration de Tunnelisation USB3..... 1314
 - E.2 Calcul des mémoires tampons d'entrée pour le Chemin de Liaison Principale DP 1314

Figures

- Figure 2-1. Architecture du système double bus USB4/USB3.2 657
- Figure 2-2. Liaison USB4 à voie unique 660
- Figure 2-3. Liaison USB4 à double voie 661
- Figure 2-4. Exemple de Station d'Accueil USB4..... 663
- Figure 2-5. Couches de piles fonctionnelles USB4..... 665
- Figure 2-6. Port USB4 (Adaptateur de Voie), Adaptateur de Protocole et Adaptateur de Contrôle sur les couches fonctionnelles 666
- Figure 2-7. Exemple de topologie physique USB4 (sans boucle) et d'Arbre Maximal..... 668
- Figure 2-8. Exemple de topologie physique USB4 (avec boucle) et d'Arbre Maximal..... 669
- Figure 2-9. Chemins qui traversent une Structure USB4 670
- Figure 2-10. Communication USB4 par couche fonctionnelle 672
- Figure 2-11. Exemple de Paquet de Contrôle qui traverse plusieurs Routeurs 673
- Figure 2-12. Exemple de connexions USB4 hôte à hôte 675
- Figure 2-13. Exemple d'hôte USB4 avec mise en évidence de la Tunnelisation USB3..... 679
- Figure 2-14. Exemple de hub USB4 avec mise en évidence de la Tunnelisation USB3..... 680
- Figure 2-15. Exemple de dispositif périphérique USB4 avec mise en évidence de la Tunnelisation USB3 681
- Figure 2-16. Pile de Protocole pour la Tunnelisation USB3..... 682
- Figure 2-17. Exemple de Structure USB4 avec Tunnelisation USB3 683
- Figure 2-18. Piles de Protocole le long d'un tunnel USB3 685
- Figure 2-19. Exemple de topologie pour la Tunnelisation DisplayPort..... 686
- Figure 2-20. Adaptateurs de Protocole DP IN et OUT en modes LTTPR Non Transparent et LTTPR Transparent 687
- Figure 2-21. Adaptateurs de Protocole DP IN et OUT en mode Non LTTPR..... 688
- Figure 2-22. Piles de Protocole le long d'un Chemin Tunnelisé DisplayPort..... 689
- Figure 2-23. Exemple de structure d'un hôte USB4 avec mise en évidence de la Tunnelisation PCIe 690

Figure 2-24. Exemple de hub USB4 avec mise en évidence de la Tunnelisation PCIe.....	691
Figure 2-25. Exemple de dispositif USB4 avec mise en évidence de la Tunnelisation PCIe	692
Figure 2-26. Pile de Protocole pour la Tunnelisation PCIe	693
Figure 2-27. Exemple de Structure USB4 avec Tunnelisation PCIe.....	694
Figure 2-28. Piles de Protocole le long d'un Tunnel PCIe	696
Figure 2-29. Piles de Protocole le long d'un Chemin entre des hôtes.....	697
Figure 2-30. Anneau de Descripteur et Mémoires Tampons de Données	698
Figure 3-1. Schémas combinés de Correction d'Erreur Directe et de Précodage.....	702
Figure 3-2. Définition des points de conformité.....	704
Figure 3-3. Exemples de placement du condensateur de couplage en courant alternatif	704
Figure 3-4. Fonction de transfert de gigue	705
Figure 3-5. Égalisation de récepteur de référence	706
Figure 3-6. Réponse en fréquence du CTLE de référence Gen 2	707
Figure 3-7. Réponse en fréquence du CTLE de référence Gen 3	707
Figure 3-8. Variation de la fréquence d'émission d'un Ensemble Routeur pendant la formation.....	712
Figure 3-9. Exemple de fréquence de l'émetteur en régime établi	713
Figure 3-10. Masque du facteur d'adaptation différentiel TX	714
Figure 3-11. Masque d'affaiblissement de réflexion en mode commun TX	715
Figure 3-12. Structure de l'égaliseur d'émetteur	716
Figure 3-13. Réponse en fréquence d'égalisation de l'émetteur pour les systèmes Gen 2	718
Figure 3-14. Réponse en fréquence d'égalisation de l'émetteur pour les systèmes Gen 3	718
Figure 3-15. Notations de masque TX.....	720
Figure 3-16. Masque d'affaiblissement de réflexion en mode différentiel RX.....	724
Figure 3-17. Masque d'affaiblissement de réflexion en mode commun RX	725
Figure 3-18. Topologies d'essai de tolérance du récepteur	726
Figure 3-19. Montages d'essai de tolérance du récepteur.....	727
Figure 3-20. Montage d'essai de conformité d'un Dispositif Captif	731
Figure 3-21. Montage d'essai du récepteur d'un Dispositif Captif.....	740
Figure 3-22. Signalisation pendant la sortie de l'état de gestion de l'alimentation	743
Figure 3-23. Exemple de mode de marginalisation logicielle	745
Figure 3-24. Flux de marginalisation matérielle.....	746
Figure 3-25. Exigences relatives à la plage de marginalisation RX	748
Figure 3-26. Capacités de plages de marginalisation RX facultatives	749
Figure 4-1. Topologies des câbles (informative)	751
Figure 4-2. Ordre des Symboles et des bits sur le Canal en Bande Latérale	752
Figure 4-3. Propagation d'une Transaction RT Diffusée	756
Figure 4-4. Diagramme d'états de la Transaction de réception sur le Canal en Bande Latérale	760

Figure 4-5. Vue d'ensemble de l'Initialisation de Voie	771
Figure 4-6. Exemple d'Inversion de Voie.....	773
Figure 4-7. Progression de l'égalisation de Liaison	776
Figure 4-8. Diagramme d'états de l'Adaptateur de Voie	779
Figure 4-9. Diagramme de sous-états Training	781
Figure 4-10. Diagramme de sous-états Lane Bonding.....	789
Figure 4-11. Structure d'un Symbole d'Ensemble Ordonné CL_WAKE1.X.....	794
Figure 4-12. Flux de Paquets dans la Couche Logique	813
Figure 4-13. Ordre de transmission des octets sur les Voies	815
Figure 4-14. Ordre des octets des Paquets de Couche de Transport dans la Couche Logique	815
Figure 4-15. Ordre des octets des Paquets Inactifs dans la Couche Logique	816
Figure 4-16. Codage de Symboles des Symboles de Données	817
Figure 4-17. Codage de Symboles des Symboles d'Ensembles Ordonnés	818
Figure 4-18. Ordre des bits et des octets sur le câble – Charge utile de Symbole de Données.....	820
Figure 4-19. Ordre des bits et des octets sur le câble – Charge utile de Symbole d'Ensemble Ordonné	821
Figure 4-20. Structures de données RS-FEC.....	825
Figure 4-21. Désactivation de Voie de l'Adaptateur en Amont.....	835
Figure 4-22. Flux de désactivation de Voie	837
Figure 5-1. Convention pour les diagrammes de la Couche de Transport	847
Figure 5-2. Format d'un Paquet de Couche de Transport.....	847
Figure 5-3. Contenu d'un Paquet Inactif.....	850
Figure 5-4. Format d'un Paquet d'Allocation de Crédit	851
Figure 5-5. Format d'un Paquet de Synchronisation de Crédit de Chemin.....	852
Figure 5-6. Format d'un Paquet de Synchronisation de Crédit de Mémoire Tampon Partagée.....	853
Figure 5-7. Exemple de deux Symboles de Données simultanés	855
Figure 5-8. Table de Routage	858
Figure 5-9. Exemple de routage.....	861
Figure 5-10. Exemple de connectivité pour les Adaptateurs USB3.....	863
Figure 5-11. Planificateur d'un Adaptateur de Sortie.....	874
Figure 6-1. Exemple d'attribution de valeurs TopologyID	879
Figure 6-2. Diagramme d'états du Routeur Hôte	880
Figure 6-3. Diagramme d'états du Routeur de Dispositif	881
Figure 6-4 Format d'un Paquet de Contrôle	883
Figure 6-5. Format de chaîne de routage.....	884
Figure 6-6. Demande de Lecture	885
Figure 6-7. Réponse de Lecture	887
Figure 6-8. Demande d'Écriture	889
Figure 6-9. Réponse d'Écriture	890
Figure 6-10. Paquet de Notification	891

Figure 6-11. Paquet d'Acquittement de Notification.....	892
Figure 6-12. Paquet d'Événement de Branchement à Chaud	893
Figure 6-13. Demande Interdomaine.....	894
Figure 6-14. Réponse Interdomaine.....	895
Figure 6-15. Exemple de routage d'un Paquet de Contrôle entre Domaines	897
Figure 7-1. Hiérarchie de Synchronisation Temporelle dans un Domaine (informative)	908
Figure 7-2. Format du compteur d'Heure Locale	909
Figure 7-3. Format du registre <i>TimeOffsetFromHR</i>	909
Figure 7-4. Format du registre <i>FreqOffsetFromHR</i>	910
Figure 7-5. <i>Modèle de mesure temporelle pour le codage 64/66b</i>	911
Figure 7-6. Négociation de Synchronisation Temporelle Bidirectionnelle	913
Figure 7-7. Diagramme d'états d'un UFP pour une Négociation de Synchronisation Temporelle Bidirectionnelle (recommandé)	915
Figure 7-8. Diagramme d'états d'un DFP pour une Négociation de Synchronisation Temporelle Bidirectionnelle (recommandé)	916
Figure 7-9. Négociation de Synchronisation Temporelle Unidirectionnelle	917
Figure 7-10. Diagramme d'états d'un DFP pour une Négociation de Synchronisation Temporelle Unidirectionnelle (recommandé)	919
Figure 7-11. Diagramme d'états d'un UFP pour une Négociation de Synchronisation Temporelle Unidirectionnelle (recommandé)	920
Figure 7-12. Protocole de Synchronisation Temporelle Interdomaine (informative) ..	923
Figure 7-13. Format d'un Paquet de Suivi.....	924
Figure 7-14. Format d'un Paquet d'Horodatage Interdomaine	926
Figure 7-15. Topologie Interdomaine (informative).....	928
Figure 7-16. Affaiblissement du filtre	935
Figure 7-17. Types de Bruit Dynamique.....	936
Figure 7-18. Points d'une Mesure Autonome	937
Figure 7-19. Événements Temporels	938
Figure 7-20. Méthode de mesurage	939
Figure 8-1. Structure de l'Espace de Configuration de Routeur.....	944
Figure 8-2. Format UUID	953
Figure 8-3. Structure de la Capacité de Configuration du Routeur TMU	954
Figure 8-4. Structure d'une Capacité Spécifique au Fournisseur	961
Figure 8-5. Structure d'une Capacité Étendue Spécifique au Fournisseur	962
Figure 8-6. Structure de l'Espace de Configuration d'Adaptateur	964
Figure 8-7. Registres de configuration de base de l'Espace de Configuration d'Adaptateur.....	966
Figure 8-8. Structure de la Capacité de Configuration de l'Adaptateur TMU.....	971
Figure 8-9. Structure de la Capacité de Configuration de l'Adaptateur de Voie	973
Figure 8-10. Structure d'une Capacité de Port USB4	977
Figure 8-11. Structure de la Capacité de Configuration de l'Adaptateur USB3	984
Figure 8-12. Structure de la Capacité de Configuration de l'Adaptateur DP IN	987
Figure 8-13. Structure de la Capacité de Configuration de l'Adaptateur DP OUT	995

Figure 8-14. Structure de la Capacité de Configuration de l'Adaptateur PCIe 1001

Figure 8-15. Structure de l'Espace de Configuration de l'Entrée du Chemin 0..... 1003

Figure 8-16. Structure de l'entrée de Chemin "n" dans l'Espace de Configuration de Chemin au niveau de l'Adaptateur de Voie..... 1004

Figure 8-17. Structure de l'entrée de Chemin "n" dans l'Espace de Configuration de Chemin d'un Adaptateur de Protocole..... 1005

Figure 8-18. Configuration d'un Chemin..... 1009

Figure 8-19. Structure de l'Espace de Configuration des Compteurs..... 1009

Figure 8-20. Réponse de données de l'Opération "Get Capabilities" pour Capability Index = 0 1024

Figure 9-1. Format d'un Paquet Tunnelisé LFPS..... 1056

Figure 9-2. Format d'un Paquet Tunnelisé d'Ensembles Ordonnés 1060

Figure 9-3. Format d'un Paquet Tunnelisé de Commandes de Liaison 1061

Figure 9-4. Format d'un Paquet Tunnelisé ITP..... 1063

Figure 9-5. Structure d'un Paquet de Données USB3 non segmenté..... 1064

Figure 9-6. Segmentation d'un Paquet de Données USB3 1065

Figure 9-7. Négociation de la bande passante par le contrôleur hôte interne 1067

Figure 9-8. Négociation de la bande passante par le Gestionnaire de Connexions 1069

Figure 10-1. Couches de la pile de protocole d'un Adaptateur DP..... 1075

Figure 10-2. Diagramme d'états d'Adaptateur DP 1076

Figure 10-3. Directions des Chemins d'un Adaptateur DP..... 1080

Figure 10-4. Exemples de mappage des ressources de flux DP..... 1082

Figure 10-5. Mise en trame d'un canal AUX..... 1084

Figure 10-6. Format d'un Paquet AUX 1085

Figure 10-7. Exemple de Paquet AUX 1086

Figure 10-8. Format d'un Paquet HPD 1087

Figure 10-9. Format du Paquet SET_CONFIG 1087

Figure 10-10. Format d'un Paquet ACK 1091

Figure 10-11. Séquence de mise sous tension à HPD 1092

Figure 10-12. Flux de transaction AUX Target 1098

Figure 10-13. Flux de transaction AUX Snoop 1099

Figure 10-14. Diagramme d'états du traitement AUX d'un Adaptateur DP IN..... 1101

Figure 10-15. Temporisation AUX..... 1105

Figure 10-16. Exemple de séquence de découverte de la source DP 1108

Figure 10-17. Formation de liaison DP – LTTTPR CR_DONE 1113

Figure 10-18. Formation de liaison DP – LTTTPR – Phase EQ 1115

Figure 10-19. Formation de liaison DP – DPRX – Phase CR_DONE 1116

Figure 10-20. Formation de liaison DP – DPRX – Phase EQ..... 1118

Figure 10-21. Flux SST de Liaison principale vers des Paquets Tunnelisés 1124

Figure 10-22. Regroupement d'Ensembles TU pour une Liaison Principale à 4 Voies 1126

Figure 10-23. Regroupement d'Ensembles TU pour une Liaison Principale à 2 Voies 1127

Figure 10-24. Regroupement d'Ensembles TU pour une Liaison Principale à 1 Voie.....	1128
Figure 10-25. Exemple de regroupement de symboles EOC	1129
Figure 10-26. Format d'en-tête d'Ensemble TU.....	1129
Figure 10-27. Format d'un Paquet de Données Vidéo.....	1131
Figure 10-28. Format d'en-tête de MSA	1131
Figure 10-29. Format d'un Paquet MSA	1132
Figure 10-30. Format de l'en-tête de Début d'Effacement	1133
Figure 10-31. Format d'un Paquet de Début d'Effacement	1134
Figure 10-32. Format de l'en-tête de TU Secondaire.....	1136
Figure 10-33. Format du chemin de données secondaires tunnelisées	1138
Figure 10-34. Exemples de regroupement de données secondaires dans des TU Secondaires.....	1139
Figure 10-35. Exemples de calcul du champ Fill Count dans un Paquet de Données non Secondaires.....	1141
Figure 10-36. Exemples de calcul du champ Fill Count dans un Paquet de Données Secondaires	1142
Figure 10-37. Structures de TU de Sous-MTP	1143
Figure 10-38. Format de l'En-tête de TU de Sous-MTP.....	1144
Figure 10-39. Mappage d'une TU de Sous-MTP dans une configuration à 4 Voies.....	1148
Figure 10-40. Mappage d'une TU de Sous-MTP dans une configuration à 2 Voies.....	1149
Figure 10-41. Mappage d'une TU de Sous-MTP dans une configuration à 1 Voie ..	1149
Figure 10-42. Séquence non attribuée, 1 voie	1150
Figure 10-43. Shifting SR, 1 Voie	1150
Figure 10-44. Séquence ACT, 1 Voie.....	1151
Figure 10-45. Séquences SF et VCCF dans une configuration à 4 Voies	1152
Figure 10-46. Format d'un Paquet MST	1153
Figure 10-47. Format d'un Paquet FEC_DECODE	1156
Figure 10-48. Format d'une Commande FEC.....	1156
Figure 10-49. Transition de la Vidéo Active à l'Effacement	1157
Figure 10-50: Occurrence des événements de Réglage de PLL.....	1160
Figure 10-51. Format du Compteur de Durée de Vie.....	1161
Figure 10-52. Concept logique du Compteur de Durée de Vie Filtré.....	1162
Figure 10-53. Format d'un Paquet de Synchronisation d'Horloge DP	1163
Figure 10-54. Exemple de Paquet de Synchronisation d'Horloge DP	1164
Figure 10-55: Interaction entre l'Adaptateur DP IN et le DPTX pendant l'Allocation de Bande Passante DP	1170
Figure 10-56: Interaction d'allocation de bande passante DP avec le Gestionnaire de Connexions.....	1173
Figure 11-1. TLP PCIe tunnelisé.....	1178
Figure 11-2. Exemple de PTM tunnelé.....	1179
Figure 11-3. DLLP PCIe tunnelisé	1180
Figure 11-4. Charge utile d'un Paquet Tunnelisé DLLP/TLP PCIe.....	1181
Figure 11-5: Exemple de relations PTM.....	1189

Figure 11-6: Message PTM ResponseD.....	1191
Figure 11-7: Illustration des Paramètres TMU_to_PTM.....	1193
Figure 12-1. Segmentation d'une Trame	1199
Figure 12-2. Exemple de transfert d'un Paquet d'Allocation de Crédit E2E.....	1201
Figure 12-3. Formation d'un Paquet d'Allocation/de Synchronisation de Crédit E2E.....	1202
Figure 12-4. Structure du Descripteur d'Émission	1206
Figure 12-5. Structure du Descripteur de Réception (envoyé par l'Hôte).....	1210
Figure 12-6. Structure du Descripteur de Réception (envoyé par la Couche Adaptateur d'Interface Hôte).....	1210
Figure 12-7. Modération d'interruption	1215
Figure 12-8. Structure des registres Interrupt Status	1225
Figure 12-9. Structure des registres Interrupt Vector Allocation (IVAR).....	1227
Figure 12-10. Structure du registre Receive Ring Vacancy Control	1228
Figure 13-1. Topologie d'un Retemporisateur bidirectionnel.....	1231
Figure 13-2. Mécanisme de Rebond	1233
Figure 13-3. Structure de la Capacité Spécifique au Fournisseur 1	1249
Figure 13-4. Structure de la Capacité Spécifique au Fournisseur 3.....	1254
Figure 13-5. Structure de la Capacité Spécifique au Fournisseur 4.....	1256
Figure 13-6. Structure de la Capacité Étendue Spécifique au Fournisseur 6	1257
Figure 13-7. Exemple de Capacité Étendue Spécifique au Fournisseur 6	1258
Figure 13-8. Structure de la Région Commune	1258
Figure 13-9. Structure d'une Région de Port USB4	1260
Figure 13-10. Diagramme d'états de formation de liaison de l'Adaptateur DP IN....	1270
Figure 13-11. Diagramme d'états de formation de liaison de l'Adaptateur DP OUT	1272
Figure 13-12. Exemple de Station d'Accueil USB4 avec un contrôleur hôte interne	1274
Figure A-1. Exemples de calcul de HEC d'un Paquet de Couche de Transport	1276
Figure A-2. Exemples de calculs pour la Tunnelisation USB3	1284
Figure A-3. Exemple d'un Enregistrement d'Allocation de Crédit.....	1289
Figure A-4. Exemple de charge utile d'un Paquet HPD	1290
Figure A-5. Exemple de charge utile d'un Paquet SET_CONFIG.....	1290
Figure A-6. Exemple d'en-tête d'un Ensemble TU	1290
Figure A-7. Exemple d'en-tête TU de Sous-MTP.....	1291
Figure A-8. Exemple de charge utile d'un Paquet de Synchronisation de Crédit E2E.....	1291
Figure C-1. Transition réussie vers l'état CL2	1293
Figure C-2. Transition réussie vers l'état CL0s	1294
Figure C-3. Echec de la transition vers l'état CL2	1295
Figure C-4. Demandes simultanées de transition vers l'état CL2	1296
Figure C-5. Erreur dans les Ensembles Ordonnés CL2_REQ.....	1297
Figure C-6. Les Ensembles Ordonnés CL2_REQ sont reçus en partie	1298
Figure C-7. Erreurs dans la réception de CL2_REQ et dans la réponse CL_NACK	1299
Figure C-8. Erreur dans les Ensembles Ordonnés CL2_ACK	1300

Figure C-9. Erreur dans les Ensembles Ordonnés CL_OFF	1301
Figure C-10. Sortie de CL0s	1302
Figure C-11. Sortie de CL2 (ou CL1)	1304
Figure D-1. Modulation de Largeur d'Impulsion.....	1307
Figure D-2. Structure d'un Paquet de Liaison Temps Série.....	1308
Figure D-3. Format d'un Paquet de Liaison Temps Série	1309
Figure D-4. Paramètres TMU_CLK_OUT et TMU_CLK_IN	1311
Figure D-5. Définition de TCO _{JTR}	1311

Tableaux

Tableau 1-1. Valeur Rsvd et traitement des champs	649
Tableau 3-1. Spécifications SBTX et SBRX	701
Tableau 3-2. Points d'essai de conformité électrique	703
Tableau 3-3. Spécifications de l'émetteur appliquées pour toutes les vitesses (à TP2).....	709
Tableau 3-4. Limites de variation de fréquence de l'émetteur pendant la formation de Liaison avant l'obtention d'un régime établi.....	711
Tableau 3-5. Préréglages d'égalisation TX	717
Tableau 3-6. Spécifications de l'émetteur Gen 2 au niveau de TP2.....	719
Tableau 3-7. Spécifications de l'émetteur Gen 2 au niveau de TP3.....	720
Tableau 3-8. Spécifications de l'émetteur Gen 3 au niveau de TP2.....	721
Tableau 3-9. Spécifications de l'émetteur Gen 3 au niveau de TP3.....	722
Tableau 3-10. Spécifications de récepteur communes à TP3'	723
Tableau 3-11. Signal sollicité pour l'essai de conformité du récepteur Gen 2	728
Tableau 3-12. Signal sollicité pour l'essai de conformité du récepteur Gen 3	728
Tableau 3-13. Limites d'énergie conduite dans la bande sans fil (à TP3)	732
Tableau 3-14. Spécifications de l'émetteur d'un Dispositif Captif à TP3 appliqué pour toutes les vitesses	733
Tableau 3-15. Spécifications de l'émetteur d'un Dispositif Captif à TP3 pour les systèmes Gen 2	735
Tableau 3-16. Spécifications de l'émetteur d'un Dispositif Captif à TP3 pour les systèmes Gen 3	736
Tableau 3-17. Spécifications de récepteur commun à TP2.....	738
Tableau 3-18. Conditions du récepteur sollicité pour les essais de conformité des Dispositifs Captifs Gen 2 (à TP2).....	739
Tableau 3-19. Conditions du récepteur sollicité pour les essais de conformité des Dispositifs Captifs Gen 3 (à TP2).....	740
Tableau 3-20. Spécifications électriques de la LFPS	743
Tableau 3-21. Exigences relatives à la marginalisation de tension et de temporisation RX.....	748
Tableau 3-22. Capacités de marginalisation de tension RX facultatives.....	749
Tableau 4-1. Format de Transaction LT	753
Tableau 4-2. Symbole LSE	753
Tableau 4-3. Format de Transaction AT.....	754

Tableau 4-4. Symbole STX pour une Transaction AT	754
Tableau 4-5. Format d'une Transaction RT Diffusée	755
Tableau 4-6. Symbole STX pour une Transaction RT Diffusée	755
Tableau 4-7. Contenu de l'octet 2 d'une Transaction RT Diffusée	755
Tableau 4-8. Contenu de l'octet 3 d'une Transaction RT Diffusée	756
Tableau 4-9. Format d'une Transaction RT Adressée	757
Tableau 4-10. Symbole STX pour une Transaction RT Adressée	757
Tableau 4-11. Diagramme d'états de la Transaction de réception sur le Canal en Bande Latérale	761
Tableau 4-12. Symboles de Données des Commandes AT/RT	762
Tableau 4-13. Symboles de Données des Réponses AT/RT	762
Tableau 4-14. Traitement d'une Commande AT/RT reçue	763
Tableau 4-15. Registres SB	765
Tableau 4-16. Types d'accès aux champs du Registre SB	766
Tableau 4-17. Champs de Registre SB	766
Tableau 4-18. Attributs de Voie	774
Tableau 4-19. Comportement de l'émetteur dans les sous-états Training	782
Tableau 4-20. Transitions du diagramme de sous-états Training	782
Tableau 4-21. SLOS1 (codage 64b/66b)	784
Tableau 4-22. SLOS2 (codage 64b/66b)	785
Tableau 4-23. SLOS1 (codage 128b/132b)	786
Tableau 4-24. SLOS2 (codage 128b/132b)	787
Tableau 4-25. Ensembles Ordonnés TS1 et TS2	788
Tableau 4-26. Comportement de l'émetteur aux sous-états Lane Bonding	790
Tableau 4-27. Transitions du diagramme de sous-états Lane Bonding	790
Tableau 4-28. Ensemble ordonné CL2_REQ	791
Tableau 4-29. Ensemble ordonné CL1_REQ	791
Tableau 4-30. Ensemble ordonné CL2_ACK	791
Tableau 4-31. Ensemble ordonné CL1_ACK	792
Tableau 4-32. Ensemble ordonné CL0s_ACK	792
Tableau 4-33. Ensemble ordonné CL_NACK	792
Tableau 4-34. Ensemble ordonné CL_OFF	792
Tableau 4-35. Structure de l'Ensemble Ordonné	818
Tableau 4-36. Règles d'embrouillage	822
Tableau 4-37. Séquence de bits START_RS_FEC	826
Tableau 4-38. Cas d'erreurs et impact sur la Couche Logique	827
Tableau 4-39. Ensemble ordonné SKIP	829
Tableau 4-40. Ensemble Ordonné de réalignement	830
Tableau 4-41. Ensemble ordonné TSN	838
Tableau 4-42. État du Routeur maintenu pendant la veille	840
Tableau 4-43. Événements de réveil	841
Tableau 4-44. Paramètres de temporisation de la Couche Logique	842

Tableau 5-1. Format d'en-tête de Paquet de Couche de Transport	848
Tableau 5-2. En-tête de Paquet d'Allocation de Crédit.....	850
Tableau 5-3. Format d'un Enregistrement d'Allocation de Crédit.....	851
Tableau 5-4. En-tête d'un Paquet de Synchronisation de Crédit de Chemin.....	851
Tableau 5-5. Charge utile d'un Paquet de Synchronisation de Crédit de Chemin	852
Tableau 5-6. En-tête d'un Paquet de Synchronisation de Crédit de Mémoire Tampon Partagée.....	852
Tableau 5-7. Charge utile d'un Paquet de Synchronisation de Crédit de Mémoire Tampon Partagée.....	852
Tableau 5-8. Comportement de la Couche de Transport par état de Liaison	853
Tableau 5-9. Exigences relatives à l'espacement minimal des En-têtes de la Couche de Transport.....	854
Tableau 5-10. Schémas de contrôle de flux de l'Adaptateur d'Entrée.....	865
Tableau 5-11. Paramètres d'allocation de mémoire tampon.....	866
Tableau 5-12. Schémas de contrôle de flux de l'Adaptateur de Sortie.....	871
Tableau 5-13. Paramètres de temporisation de la Couche de Transport	877
Tableau 6-1. Charge utile de Paquet de contrôle	883
Tableau 6-2. Contenu d'une Demande de Lecture	885
Tableau 6-3. Contenu d'une Réponse de Lecture	886
Tableau 6-4. Contenu d'une Demande d'Écriture	888
Tableau 6-5. Contenu d'une Réponse d'Écriture	890
Tableau 6-6. Contenu d'un Paquet de notification.....	891
Tableau 6-7. Contenu d'un Paquet d'Acquittement de Notification	892
Tableau 6-8. Contenu d'un Paquet d'Événement de Branchement à Chaud	892
Tableau 6-9. Contenu d'une Demande Interdomaine	893
Tableau 6-10. Contenu d'une Réponse Interdomaine.....	894
Tableau 6-11. Événements de notification	900
Tableau 6-12. Paramètres de temporisation de la Couche de Configuration	906
Tableau 7-1. Valeurs du délai d'expiration de l'UFP bidirectionnel	914
Tableau 7-2. Valeurs du délai d'expiration de l'DFP bidirectionnel	916
Tableau 7-3. Charge utile d'un Paquet de Suivi	924
Tableau 7-4. Charge utile d'un Paquet d'Horodatage Interdomaine.....	926
Tableau 7-5. Définition des variables.....	927
Tableau 7-6. Notation d'index.....	927
Tableau 7-7. Paramètres d'exactitude de la synchronisation temporelle	939
Tableau 8-1. Types d'accès aux champs du registre de configuration.....	942
Tableau 8-2. Liste des Capacités de Configuration d'un Routeur	945
Tableau 8-3. Attributs de base de l'Espace de Configuration de Routeur	945
Tableau 8-4. Champs de la Capacité de Configuration du Routeur TMU.....	955
Tableau 8-5. Groupes de registres verrouillés	961
Tableau 8-6. Champs de la Capacité Spécifique au Fournisseur	962
Tableau 8-7. Champs de la Capacité Étendue Spécifique au Fournisseur.....	963
Tableau 8-8. Liste des Capacités de Configuration d'un Adaptateur	965

Tableau 8-9. Attributs de base de l'Espace de Configuration d'Adaptateur.....	966
Tableau 8-10. Types d'Adaptateurs	970
Tableau 8-11. Champs de la Capacité de Configuration de l'Adaptateur TMU.....	971
Tableau 8-12. Contenu de la Capacité de Configuration de l'Adaptateur de Voie	974
Tableau 8-13. Champs d'une Capacité de Port USB4	978
Tableau 8-14. Champs de la Capacité de Configuration de l'Adaptateur USB3	984
Tableau 8-15. Champs de la Capacité de Configuration de l'Adaptateur DP IN.....	988
Tableau 8-16. Champs de la Capacité de Configuration de l'Adaptateur DP OUT	996
Tableau 8-17. Champs de la Capacité de Configuration de l'Adaptateur PCIe	1001
Tableau 8-18. Contenu de l'Entrée du Chemin 0.....	1003
Tableau 8-19. Contenu de l'entrée de Chemin dans l'Espace de Configuration de Chemin au niveau de l'Adaptateur de Voie.....	1004
Tableau 8-20. Contenu de l'entrée de Chemin dans l'Espace de Configuration de Chemin d'un Adaptateur de Protocole.....	1006
Tableau 8-21. Champs de l'ensemble de compteurs	1010
Tableau 8-22. Liste des Opérations de Routeur	1012
Tableau 8-23. Métadonnées de l'Opération "Query DP Resource Availability"	1013
Tableau 8-24. Métadonnées et état d'achèvement de l'Opération "Query DP Resource Availability"	1013
Tableau 8-25. Métadonnées de l'Opération "Allocate DP Resource"	1013
Tableau 8-26. Métadonnées et état d'achèvement de l'Opération "Allocate DP Resource"	1014
Tableau 8-27. Métadonnées de l'Opération "De-Allocate DP Resource"	1014
Tableau 8-28. Métadonnées et état d'achèvement de l'Opération "De-Allocate DP Resource"	1014
Tableau 8-29. Métadonnées de l'Opération "NVM Set Offset"	1016
Tableau 8-30. Métadonnées et état d'achèvement de l'Opération "NVM Set Offset"	1016
Tableau 8-31. Données de l'Opération "NVM Write"	1017
Tableau 8-32. État d'achèvement de l'Opération "NVM Write"	1017
Tableau 8-33. État d'achèvement de l'Opération "NVM Authenticate Write"	1017
Tableau 8-34. Métadonnées de l'Opération "NVM Read"	1018
Tableau 8-35. Métadonnées d'achèvement de l'Opération de Routeur "NVM Read"	1018
Tableau 8-36. Données d'achèvement de l'Opération de Routeur "NVM Read"	1019
Tableau 8-37. Métadonnées de l'Opération de Routeur "DROM Read"	1019
Tableau 8-38. Métadonnées et état d'achèvement de l'Opération de Routeur "DROM Read"	1020
Tableau 8-39. Données d'achèvement de l'Opération de Routeur "DROM Read" ...	1020
Tableau 8-40. Métadonnées et état d'achèvement de l'Opération "Get NVM Sector Size"	1021
Tableau 8-41. Métadonnées et état d'achèvement de l'Opération "Get PCIe Downstream Entry Mapping".....	1021
Tableau 8-42. Données d'achèvement de l'Opération "Get PCIe Downstream Entry Mapping"	1022

Tableau 8-43. Métadonnées de l'Opération "Get Capabilities"	1022
Tableau 8-44. Métadonnées et état d'achèvement de l'Opération "Get Capabilities"	1023
Tableau 8-45. Liste des capacités	1024
Tableau 8-46. Métadonnées de l'Opération "Set Capabilities"	1025
Tableau 8-47. Liste des capacités	1025
Tableau 8-48. État d'achèvement de l'Opération "Set Capabilities"	1025
Tableau 8-49. État et métadonnées d'achèvement de l'Opération de Routeur "Buffer Allocation Request"	1026
Tableau 8-50. Structure des DW Data lors de l'achèvement de l'Opération de Routeur "Buffer Allocation Request"	1026
Tableau 8-51. État d'achèvement de l'Opération de Routeur Get Container-ID	1027
Tableau 8-52. Structure des DW Data lors de l'achèvement de l'Opération de Routeur "Get Container-ID"	1027
Tableau 8-53. État d'achèvement de l'Opération "Block Sideband Port Operations"	1028
Tableau 8-54. État d'achèvement de l'Opération "Unblock Sideband Port Operations"	1028
Tableau 8-55. Liste des Opérations de Port.....	1030
Tableau 8-56. Métadonnées d'Operation de SET_TX_COMPLIANCE	1035
Tableau 8-57. Métadonnées de l'Opération SET_RX_COMPLIANCE.....	1036
Tableau 8-58. Métadonnées de l'Opération START_BER_TEST	1037
Tableau 8-59. Métadonnées de l'Opération END_BER_TEST	1038
Tableau 8-60. Données d'Achèvement de l'Opération END_BER_TEST	1038
Tableau 8-61. Métadonnées de l'Opération END_BURST_TEST	1039
Tableau 8-62. Données d'Achèvement de l'Opération END_BURST_TEST.....	1040
Tableau 8-63. Métadonnées de l'Opération READ_BURST_TEST	1041
Tableau 8-64. Données d'Achèvement de l'Opération READ_BURST_TEST	1041
Tableau 8-65. Métadonnées de l'Opération ENTER_EI_TEST	1042
Tableau 8-66. Métadonnées de l'Opération ROUTER_OFFLINE_MODE	1043
Tableau 8-67. Données d'Achèvement de l'Opération READ_LANE_MARGIN_CAP	1044
Tableau 8-68. Métadonnées de l'Opération RUN_HW_LANE_MARGINING	1046
Tableau 8-69. Sélection du contenu des Données d'Achèvement de RUN_HW_LANE_MARGINING	1047
Tableau 8-70. Données d'Achèvement de l'Opération RUN_HW_LANE_MARGINING	1047
Tableau 8-71. Métadonnées de l'Opération RUN_SW_LANE_MARGINING	1050
Tableau 8-72. Données d'Achèvement de l'Opération RUN_SW_LANE_MARGINING	1051
Tableau 8-73. Métadonnées d'Achèvement de READ_SW_MARGIN_ERR	1052
Tableau 9-1. Valeurs PDF pour des Paquets de Tunnelisation USB3.....	1055
Tableau 9-2. Charge utile d'un Paquet Tunnelisé LFPS	1056
Tableau 9-3. Charge utile d'un Paquet Tunnelisé d'Ensembles Ordonnés	1060
Tableau 9-4. Paramètres de temporisation de l'Adaptateur USB3	1070

Tableau 9-5. Temporisateurs USB3 et valeurs de temporisation	1071
Tableau 10-1. Modes de fonctionnement DisplayPort sur une Tunnelisation DisplayPort.....	1079
Tableau 10-2. Paramètres de Chemin recommandés.....	1080
Tableau 10-3. Commandes d'Allocation de Ressources de Flux DP.....	1083
Tableau 10-4. Types de Paquets Tunnelisés du Chemin AUX.....	1083
Tableau 10-5. Types de Paquets Tunnelisés du Chemin de Liaison Principale	1083
Tableau 10-6. Message SET_CONFIG	1089
Tableau 10-7. Bande passante exigée par DisplayPort (Gbit/s)	1095
Tableau 10-8. Exigence concernant le temps de propagation d'un Événement HPD	1097
Tableau 10-9. Adresses DPCD internes.....	1100
Tableau 10-10. Diagramme d'états du traitement AUX d'un Adaptateur DP IN	1102
Tableau 10-11. Exigences relatives au délai AUX.....	1105
Tableau 10-12. Capacités DisplayPort agrégées	1106
Tableau 10-13. Transitions entre les modes de fonctionnement de l'Adaptateur DP	1109
Tableau 10-14. Mappage des symboles de liaison de contrôle de Début d'Effacement	1135
Tableau 10-15. Fill Count Prev_Factor	1140
Tableau 10-16. Types d'En-têtes de TU de Sous-MTP à un intervalle zéro	1144
Tableau 10-17. Types d'En-têtes de TU de Sous-MTP à un intervalle différent de zéro	1145
Tableau 10-18. Règles relatives aux Paquets TU de Sous-MTP à un intervalle zéro.....	1146
Tableau 10-19. Règles relatives aux Paquets TU de Sous-MTP à un intervalle différent de zéro	1146
Tableau 10-20. Quartet d'index de symbole K dans l'octet Parameter.....	1147
Tableau 10-21. Exemples de calcul de FLC.....	1162
Tableau 10-22. Registres d'allocation de bande passante DPCD.....	1167
Tableau 10-23. Mappage à l'Espace de Configuration de l'Adaptateur DP IN.....	1168
Tableau 10-24. Paramètres de temporisation de l'Adaptateur DP	1174
Tableau 11-1. Valeurs PDF pour des Paquets Tunnelisés PCIe.....	1177
Tableau 11-2. Pré-en-tête TLP	1178
Tableau 11-3. Ensembles ordonnés TS	1182
Tableau 11-4. Ensembles Ordonnés de Repos Électrique.....	1183
Tableau 11-5. Plages de temporisateurs de liaison PCIe	1188
Tableau 11-6. Paramètres de temporisation de l'Adaptateur PCIe	1194
Tableau 12-1. Format d'un Paquet Tunnelisé en mode Trame	1200
Tableau 12-2. En-tête d'un Paquet d'Allocation de Crédit E2E	1202
Tableau 12-3. Charge utile d'un Paquet d'Allocation de Crédit E2E	1202
Tableau 12-4. En-tête d'un Paquet de Synchronisation de Crédit E2E	1203
Tableau 12-5. Charge utile d'un Paquet de Synchronisation de Crédit E2E	1203
Tableau 12-6. Contenu du Descripteur d'Émission.....	1207

Tableau 12-7. Contenu du Descripteur de Réception (envoyé par l'Hôte)	1210
Tableau 12-8. Contenu du Descripteur de Réception (envoyé par la Couche Adaptateur d'Interface Hôte).....	1211
Tableau 12-9. Types d'accès	1216
Tableau 12-10. Récapitulatif des registres BAR de mémoire.....	1217
Tableau 12-11. Registre Host Interface Capabilities	1218
Tableau 12-12. Registre Host Interface Reset	1218
Tableau 12-13. Registre Host Interface Control	1218
Tableau 12-14. Host Interface CL1 Enable	1219
Tableau 12-15. Host Interface CL2 Enable	1219
Tableau 12-16. Registre Base Address Low	1219
Tableau 12-17. Registre Base Address High	1219
Tableau 12-18. Registres Producer Index et Consumer Index.....	1220
Tableau 12-19. Registre Ring Size	1220
Tableau 12-20. Registre Ring Control.....	1221
Tableau 12-21. Registre Base Address Low	1221
Tableau 12-22. Registre Base Address High	1221
Tableau 12-23. Registres Producer Index et Consumer Index.....	1222
Tableau 12-24. Registre Ring Size	1222
Tableau 12-25. Registre Ring Control.....	1223
Tableau 12-26. Registre PDF Bit Masks	1224
Tableau 12-27. Interrupt Status	1225
Tableau 12-28. Interrupt Status Clear.....	1225
Tableau 12-29. Interrupt Status Set.....	1226
Tableau 12-30. Interrupt Mask.....	1226
Tableau 12-31. Interrupt Mask Clear	1226
Tableau 12-32. Interrupt Mask Set.....	1226
Tableau 12-33. Interrupt Throttling Rate (ITR)	1227
Tableau 12-34. Interrupt Vector Allocation (IVAR)	1227
Tableau 12-35. Receive Ring Vacancy Control	1228
Tableau 12-36. Receive Ring Vacancy Status	1229
Tableau 12-37. Paramètres de temporisation de l'Interface Hôte	1229
Tableau 13-1. Paramètres Thunderbolt 3.....	1230
Tableau 13-2. Types de transactions LT TBT3.....	1231
Tableau 13-3. Symbole STX.....	1232
Tableau 13-4. Contenu de l'octet 2 d'une Transaction RT Diffusée	1234
Tableau 13-5. Registres SB.....	1234
Tableau 13-6. Champs des Registres SB	1234
Tableau 13-7. Attributs de Voie	1235
Tableau 13-8. Structure des Ensembles Ordonnés TS1 et TS2.....	1241
Tableau 13-9. État du Routeur maintenu pendant la veille	1242
Tableau 13-10. Paramètres de temporisation de la Couche Logique.....	1243

Tableau 13-11. Allocation de mémoire tampon par le Gestionnaire de Connexions TBT3.....	1244
Tableau 13-12. Types d'accès aux champs du registre de configuration	1248
Tableau 13-13. Liste des Capacités de Configuration d'un Routeur Compatible TBT3.....	1248
Tableau 13-14. Champs de la Capacité Spécifique au Fournisseur 1.....	1249
Tableau 13-15. Champs de la Capacité Spécifique au Fournisseur 3.....	1254
Tableau 13-16. Champs de la Capacité Spécifique au Fournisseur 4.....	1256
Tableau 13-17. Champs de la Région Commune	1259
Tableau 13-18. Champ d'une Région de Port USB4.....	1261
Tableau 13-19. Attributs de base de l'Espace de Configuration d'Adaptateur.....	1265
Tableau 13-20. Champs d'une Capacité de Port USB4	1266
Tableau 13-21. Table de transition du diagramme d'états de formation de liaison de l'Adaptateur DP IN	1271
Tableau 13-22. Table de transition du diagramme d'états de formation de liaison de l'Adaptateur DP OUT	1273
Tableau A-1. Exemples de calcul de CRC d'un Paquet de Contrôle	1276
Tableau A-2. Exemple d'une Commande de Lecture.....	1277
Tableau A-3. Exemple d'une Commande d'Écriture	1277
Tableau A-4. Exemples de calculs de l'embrouilleur	1278
Tableau A-5. Exemple 1 – Bloc RS-FEC.....	1279
Tableau A-6. Exemple 2 – Bloc RS-FEC.....	1280
Tableau A-7. Exemple 3 – Bloc RS-FEC.....	1281
Tableau A-8. Exemple 4 – Bloc RS-FEC.....	1282
Tableau B-1. Récapitulatif d'un Paquet de Couche de Transport	1292
Tableau D-1. Champs d'un Paquet de Liaison Temps Série.....	1310
Tableau D-2. Spécifications TMU_CLK_OUT et TMU_CLK_IN.....	1312

1 Introduction

1.1 Domaine d'application du document

La spécification s'adresse en premier lieu aux développeurs de périphériques et aux développeurs de plateformes/d'adaptateurs, mais elle fournit des informations importantes aux fournisseurs de systèmes d'exploitation de plateforme/BIOS/pilotes, ainsi qu'aux éditeurs de logiciels indépendants/fournisseurs indépendants de matériel d'adaptateurs et aux OEM de systèmes. La présente spécification peut être utilisée pour le développement de nouveaux produits et des logiciels associés.

1.2 Conformité des produits à l'USB

Les adoptants de la spécification USB4™ ont signé l'accord des adoptants de l'USB4, qui leur donne accès à une licence raisonnable et non discriminatoire (RAND) de droits fournie par les promoteurs et d'autres adoptants à certaines propriétés intellectuelles contenues dans les produits conformes à la spécification USB4. Les adoptants peuvent démontrer leur conformité à la spécification en participant au programme d'essai défini par l'USB Implementers Forum (USB-IF). Les produits déclarés conformes à la spécification se verront accorder certains droits pour l'utilisation des logos de l'USB-IF Forum définis dans la licence du logo.

1.3 Organisation du document

Les Chapitres 1 à 2 fournissent une vue d'ensemble à tous les lecteurs; les Chapitres 3 à 13 contiennent des informations techniques précises qui définissent l'USB4.

1.4 Objectifs de conception

L'USB 3.1 et l'USB 3.2 ont constitué des étapes évolutives visant à augmenter la bande passante. L'objectif de l'USB4 reste le même, avec l'objectif supplémentaire d'aider à converger l'écosystème de connecteurs USB Type-C® et de réduire autant que possible la confusion pour l'utilisateur final. Plusieurs aspects de conception essentiels pour atteindre cet objectif sont répertoriés ci-dessous:

- offrir une fonctionnalité d'affichage, de données et de charge/stockage sur un seul connecteur USB Type-C;
- maintenir la compatibilité avec l'écosystème existant de produits USB et Thunderbolt™;
- définir les capacités de port pour produire une expérience utilisateur prévisible et cohérente;
- fournir davantage de flexibilité à l'hôte pour configurer la bande passante, la gestion de l'alimentation et d'autres paramètres liés aux performances pour les besoins du système.

1.5 Documents connexes

Spécification Universal Serial Bus 3.2, révision 1.0, 22 septembre 2017 (Spécification USB 3.2)

Spécification des câbles et connecteurs USB Type-C®, Version 2.0 (Spécification USB Type-C)

Papier Blanc USB 3.0 Jitter Budgeting (Publication USB Jitter)

Spécification de l'alimentation électrique par port Universal Serial Bus 3.0, Version 2.0, août 2019 (Spécification USB PD)

PCI Express® Base Specification, Révision 4, Version 1, 27 septembre 2017 (Spécification PCIe)

VESA DisplayPort™ Standard, Révision 1.2a, mai 2012 (Spécification DisplayPort 1.2a)

VESA DisplayPort™ Standard, Révision 1.4a, 19 avril 2018 (Spécification DisplayPort 1.4a)

VESA DisplayPort™ 1.4a PHY Layer Compliance Test Specification, Révision 1.0, 27 juillet 2018 (DisplayPort 1.4a PHY CTS)

VESA DisplayPort™ Alt Mode on USB Type-C Standard, Révision 1.0b, 3 novembre 2017 (Spécification DisplayPort Alt Mode)

eXtensible Host Controller Interface for Universal Serial Bus, Révision 1.1 (Spécification xHCI)

USB4 Connection Manager (CM) Guide, Révision 1.0, [à paraître] – (Guide du gestionnaire de connexions)

USB4 Re-Timer Specification, [à paraître] – (Spécification du retemporisateur USB4)

USB4 Device ROM (DROM) Specification, Révision 1.0, [à paraître] – (Spécification USB4 DROM)

USB4 Inter-Domain Specification, Révision 1.0, [à paraître] – (Spécification interdomaine USB4)

HDCP on DisplayPort™ Specification, Révision 2.3, 22 janvier 2019 (Spécification HDCP)